

# СИСТЕМЫ И МОДУЛИ FASTBUS И VME В ИССЛЕДОВАНИЯХ ПО ФИЗИКЕ ЭЛЕМЕНТАРНЫХ ЧАСТИЦ И АТОМНОГО ЯДРА

*И. Ф. Колпаков, Е. Хмелевски, Е. В. Черных*

Объединенный институт ядерных исследований, Дубна

Аппаратура современных систем спектрометров физики элементарных частиц и управления ускорителями основана на использовании 32-разрядных шин FASTBUS и VME. Под системой понимается совокупность аппаратурных средств, обеспечивающих обмен данными, адресами и командами между ее функциональными элементами.

Стандарт VME является единственным международным стандартом для 32-разрядных шин. Он позволяет ввести в системы процессорные мощности, эквивалентные по производительности суперкомпьютеру.

Стандарт FASTBUS позволяет создавать высокопроизводительные регистрирующие системы на десятки тысяч каналов при самой низкой стоимости канала регистрации.

В обзоре рассмотрены основные характеристики стандартов FASTBUS и VME и наиболее яркие примеры применения их в физических экспериментах, а также для задач управления.

The spectrometer modern system apparatus in physics of elementary particles and accelerator control is based on 32-bit Fastbus and VMEbus usage. The system as considered here is a set of hardware means providing data, addresses and commands exchange between functional elements.

VME is the only international standard bus in 32-bit buses area. It makes possible integration in system of processors with capacity equivalent to supercomputers.

The opportunity is given by Fastbus to build powerful front-end electronic subsystems with thousands of channels providing the least cost per channel.

In this paper consideration is given to the main characteristics of Fastbus and VMEbus and the widely known examples of application is physics experiments as well as for accelerator control.

## ВВЕДЕНИЕ

Современные эксперименты в области физики высоких энергий характеризуются возрастающим числом детекторов и в связи с этим более сложных систем электроники. Например, для ряда подготавли-

ваемых ныне экспериментов требуется 0,5 миллиона каналов, а потоки «сырой» информации достигают 500 Мбайт/с. В этих условиях основным требованием к аппаратуре спектрометров становится повышение быстродействия на порядок и более при снижении стоимости регистрации и затрат на обработку данных.

**Стандартные шины в аппаратуре спектрометров физики элементарных частиц.** Структурная схема аппаратуры сбора и обработки данных современного спектрометра физики элементарных частиц [1] в обобщенном виде показана на рис. 1.

Поток даже отобранной с помощью триггера информации от детекторов может достигать единиц и десятков Мбайт/с. Для регистрации и обработки таких потоков информации недостаточно использования самых высокопроизводительных компьютеров. Поэтому поток информации от детекторов или их частей распараллеливается аппаратурой сбора данных по элементам образа события. Аппаратура сбора данных при числе каналов до  $10^4$  выполняется в виде модулей КАМАК, при большем числе каналов ( $10^5$  —  $10^6$ ) либо при большой множест-

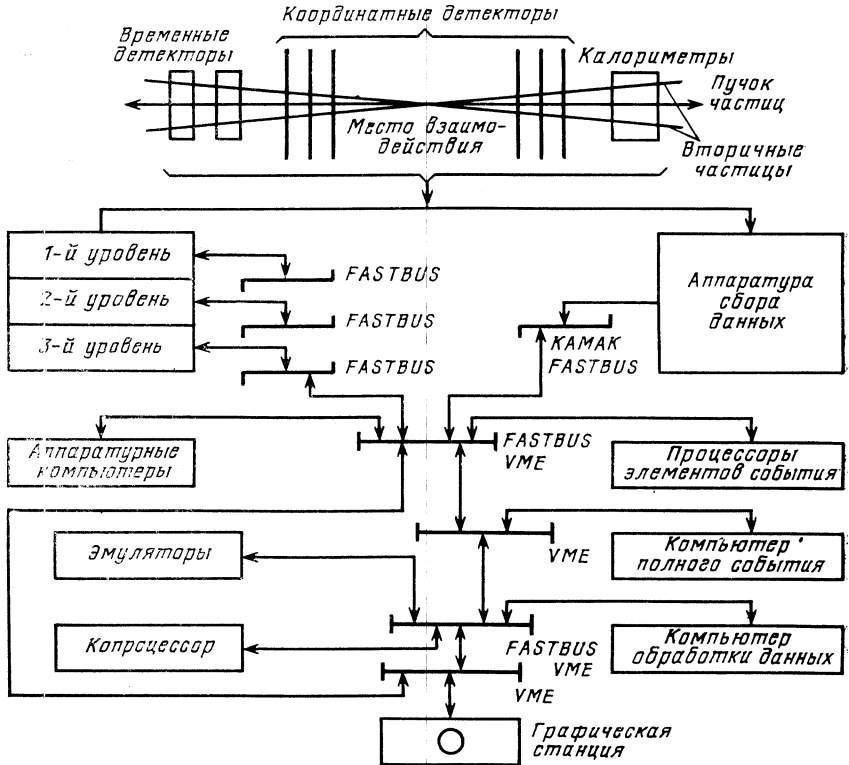


Рис. 1. Структурная схема аппаратуры сбора и обработки данных современного спектрометра физики элементарных частиц

венности событий ( $> 10$ ) — в стандарте FASTBUS. Считывание и предварительная обработка элементов образа события осуществляются микропроцессорными контроллерами, которые обычно выполняются как модули FASTBUS или VME. Здесь же производится буферизация событий в модулях памяти. Число процессоров обработки элементов события в установке может составлять десятки единиц. Сложение полного события производится через системный крейт VME обычно в компьютере типа VAX 11/780 или VAX 8600. Окончательная обработка данных производится, как правило, компьютерами типа IBM 3081. Для обработки событий в реальном времени производительности этих компьютеров недостаточно, поэтому процесс обработки также распараллеливается. Здесь наблюдается два подхода. Либо выделяется ядро из наиболее часто встречающихся команд и тогда применяются эмуляторы, либо выделяются алгоритмы, занимающие основное время компьютера обработки данных, и они выполняются на копроцессорах — специпроцессорах обработки таких алгоритмов. Число эмуляторов может достигать десятков, число специпроцессоров — сотен единиц. Контроль информации, поступающей со спектрометра, и проверка установки в целом осуществляются так называемым аппаратурным компьютером, который также производит контрольную обработку части событий.

При создании эмуляторов шина VME интересна прежде всего как стандартная 32-разрядная шина. Современные спектрометры выходят, как правило, в локальную сеть обработки данных с использованием больших компьютеров. Аппаратура локальных сетей (процессоры связи, интерфейсы) выполняется на модулях VME.

Известно, какую роль выполнил стандарт КАМАК в развитии методики физического эксперимента, проводимого на линии с ЭВМ в реальном масштабе времени. Прогресс в области микросхемотехники, и в основном появление микропроцессоров как элементов электронно-измерительных систем, а также развитие и совершенствование новых типов детекторов элементарных частиц (в частности, многопроволочных координатных камер), привел в конце 70-х годов к необходимости разработки и создания нового стандарта для систем сбора и обработки данных. Предполагалось, что новый стандарт будет в первую очередь обеспечивать потребности будущих физических экспериментов на ускорителях сверхвысоких энергий.

**Особенности современных стандартных шин.** Появление современных 32-разрядных микропроцессоров и модулей памяти большой емкости в интегральном исполнении повлекло за собой разработку новых архитектур 32-разрядных шин. Среди нескольких стандартов, разработанных за последнее время, важнейшими с точки зрения физических лабораторий являются стандарт IEC-821 \*, известные как шина VME, стандарты IEC: 482, 516, 552, известные как система КАМАК, и FASTBUS (проект стандарта IEC в ходе утверждения).

В табл. 1 приведены важнейшие характеристики этих стандартов.

\* IEC — Международная электротехническая комиссия.

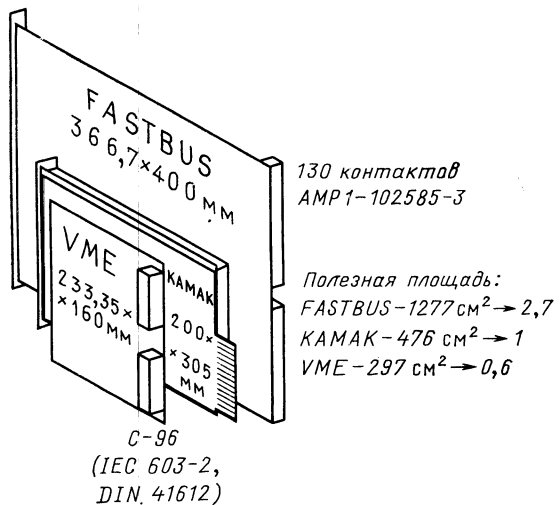
Таблица 1. Основные характеристики стандартов

Наименование стандарта	КАМАК	FASTBUS	VME
Длина слова	24 бит	32 бит	16/32 бит
Адресное пространство	24 (2 <sup>4</sup> бит)	32 (+3) бит	24/32 бит
Шины данных/адреса	Отдельные	Мультиплексный	Отдельные
Скорость обмена данными	3 Мбайт/с	70 Мбайт/с	57 Мбайт/с
Протокол магистрали	Синхронный	Асинхронный	Асинхронный

Из этой таблицы видно, какое преимущество по быстродействию по сравнению с КАМАК имеют новые стандарты. Жесткий, программный цикл КАМАК в значительной степени ограничивает его эффективную скорость сбора и передачи информации в эксперименте. Системы сбора данных FASTBUS увеличивают эффективное быстродействие в 40 раз. Тем не менее, благодаря широкому распространению КАМАК в лабораториях и доступности широкого ассортимента взаимозаменяемых модулей КАМАК с различными функциональными возможностями этот несомненно удачный стандарт еще многие годы будет использоваться в таких системах, где скорость не является решающей.

Целесообразно сравнить и размеры монтажных плат рассматриваемых стандартов, поскольку площадь платы в конечном итоге

Рис. 2. Сравнение размеров плат различных стандартов



определяет число возможных каналов регистрации, размещаемых в одном модуле. На рис. 2 они показаны схематически. Принимая за единицу поверхность платы КАМАК, видим, что площадь платы FASTBUS превышает ее в 2,7 раза. Учитывая, что на плате КАМАК приходилось отводить примерно 1/3 или 1/4 площади на схемы, обеспечивающие дешифрацию функций и адресов, необходимых для

обслуживания модуля, а в случае модулей FASTBUS «протокольная» часть платы составляет 10—20 %, видим преимущество стандарта FASTBUS по сравнению со стандартом КАМАК по этому показателю примерно в 3,5 раза. Это означает, что эффективность использования поверхности плат под микросхемы для системы FASTBUS выше, чем у КАМАК. На плате FASTBUS можно разместить до 300 интегральных микросхем (это требует применения монтажа на многослойных печатных платах). Для повышения эффективности использования поверхности печатной платы FASTBUS все шире применяются специализированные микросхемы для сопряжения с шиной обмена данных и программируемые логические матрицы (ПЛМ) для реализации сложных протоколов обмена.

Решающим критерием при разработке систем следует, однако, считать экономические показатели. В целях сравнения стоимости измерительного канала многоканальной гипотетической системы амплитудного анализа сигналов проведен расчет стоимости систем с сравнительно одинаковыми возможностями, построенных на основе коммерческой аппаратуры в стандартах КАМАК и FASTBUS. Эти расчеты, проведенные для каталоговых цен модулей западных фирм, показали, что стоимость одного измерительного канала системы FASTBUS будет составлять 1/5 стоимости такого же канала, выполненного в стандарте КАМАК. Этот вывод подтверждает и то, что большинство строящихся современных систем регистрации данных физических экспериментов базируется на системе FASTBUS. Следует отметить при этом, что стоимость систем сбора и обработки данных составляет существенную часть затрат на эксперимент (например, в ЦЕРН около 35 % бюджета экспериментов).

Что касается стандарта VME, то он принципиально отличается от стандарта КАМАК по назначению. Система VME в основном предусмотрена для реализации многопроцессорных систем обработки данных — нового, перспективного направления в области анализа данных физических экспериментов. Хотя в системе FASTBUS предусмотрена возможность многопроцессорной работы, однако такой режим в первую очередь предназначен для задач фильтрации многих сигналов с целью отбора быстрых триггеров по сложным алгоритмам, ограничивающих число событий только до наиболее интересных. Шина VME в научных исследованиях позволяет создавать системы сбора и параллельной обработки экспериментальных данных, соответствующие достижениям современной микропроцессорной техники.

### 1. СТАНДАРТ FASTBUS

Задачи, решение которых ставилось перед создателями стандарта, получившего в последние годы название FASTBUS, следующие [2]:

достижение максимально высокого быстродействия с целью обеспечения возможности приема, передачи и обработки данных с большой скоростью в сложных детекторах частиц;

минимизация стоимости систем, ввиду того что современные физические эксперименты требуют аппаратуру в возрастающих

количествах и затраты увеличиваются в соответствии с ростом масштабов экспериментов;

модульный принцип, обеспечивающий гибкость при создании самых разнообразных систем и их модификации;

общая применяемость, позволяющая использовать стандарт и в других областях народного хозяйства, что должно приводить к понижению стоимости оборудования;

разработка системы в комплексе, включая вопросы питания, охлаждения, удобного обслуживания и диагностики для ускоренного обнаружения и устранения неисправностей и дефектов;

возможность многопроцессорной организации работы с целью распределения задач сбора данных и их анализа;

сегментированная организация, позволяющая осуществлять работу системы с многими процессорами без ограничения их скорости быстрым обменом данными;

возможность как синхронного, так и асинхронного режимов работы с целью использования максимального быстрого действия магистралей и обеспечения возможности совместной работы в системе медленных и быстрых модулей и устройств;

единый протокол обмена данными для отдельных сегментов системы и для всех соединений между ними (этим FASTBUS принципиально отличается от КАМАК, в котором существуют разные протоколы для крейта и для ветви);

единая система адресации, в которой любое устройство может использовать нужный ему объем адресного пространства, все адреса равноправны, а имеющаяся возможность позиционно-зависимой адресации используется при запуске системы или при диагностических процедурах;

возможность избирательного считывания редко появляющихся данных, что характерно для многих систем современных детекторов и спектрометров физики элементарных частиц.

Разработка этого стандарта началась в 1977 г. комитетом NIM и была завершена в 1983 г. изданием стандарта [3]. Проект был тоже передан в IEC для его подготовки в качестве мирового стандарта.

Самое главное, что обеспечило успех нового стандарта, это то, что с самого начала своей разработки он привлек внимание сообщества экспериментаторов ведущих физических лабораторий мира, в которых были начаты разработки и применения модулей и систем FASTBUS. Эта практическая проверка основополагающих рекомендаций нового, только разрабатываемого стандарта помогла, в свою очередь, его совершенствованию в соответствии с реальными нуждами методики экспериментов.

**Основные характеристики.** Основой стандарта FASTBUS является протокол работы магистралей, по которой передаются адреса, данные и сигналы, обеспечивающие синхронизацию работы систем. Этим протоколом достигается полная совместимость элементов систем, независимо от их физической реализации.

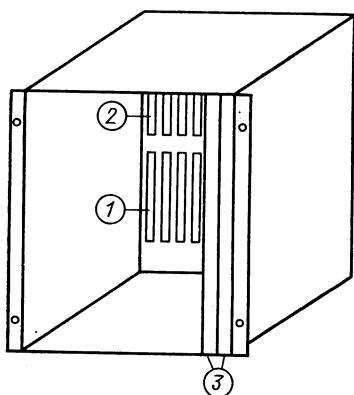


Рис. 3. Основные элементы крейта FASTBUS: 1 — сегмент — шина для обмена данными, адресами и другими сигналами; 2 — дополнительная шина крейта; 3 — функциональные модули FASTBUS

Главным понятием в стандарте является «сегмент», состоящий из магистрали и подключенных к ней модулей и имеющий полную автономию. Сегмент может являться частью большой системы, содержащей и другие сегменты, с которыми он может общаться.

Возможны два типа сегментов: в виде «крейта» или в виде «кабеля».

Сегмент типа крейта находится сзади механического каркаса (крейта), предназначенного для размещения в нем функциональных модулей.

Сегмент типа кабеля состоит из многожильного (обычно плоского) кабеля с разъемами для подключения устройств FASTBUS. Сегмент типа кабеля обычно используется для взаимосвязи между сегментами типа крейта и осуществляется с помощью межсегментного соединителя (SI — сокращение от английского Segment Interconnect). К кабельному сегменту можно подключать и другие соответствующие устройства, например, его можно использовать для съема данных непосредственно с электроники, установленной на многопроволочных камерах.

Обмен информацией в сегментах обоих типов происходит строго по определенному протоколу, являющемуся основой стандарта FASTBUS.

Такой подход к определению стандарта предоставляет разработчикам практически неограниченные возможности построения любых систем, требуемых экспериментаторам, при сохранении полной совместимости составляющих оборудования и при обеспечении работоспособности системы в целом.

С целью создания условий для обмена между отдельными лабораториями готовыми разработками в документе, определяющем требования к стандарту FASTBUS, даны рекомендации по практической реализации крейтов и модулей FASTBUS (включая рекомендации по реализации отдельных узлов изделий). На рис. 3 показаны схематически крейт FASTBUS и его основные элементы.

Крейт FASTBUS рассчитан на стандартную стойку размером 483 мм. В крейте можно разместить до 26 модулей, платы которых имеют следующие размеры: высота 366,7, длина 400,0 мм.

Платы могут быть снабжены передними панелями шириной 16,5 мм (или кратной этому значению). Размеры плат соответствуют широко используемому в современном мире стандарту «Еврокарты» (стандарт IEC 297-3).

В нижней задней части крейта находится шина обмена данными, содержащая 26 разъемов по 130 контактов каждый, обеспечивающих соединение с модулями FASTBUS. Вместе с присоединенными к ней модулями она образует «сегмент». В верхней части крейта предусмотрена возможность установки другой дополнительной шины.

На монтажной плате FASTBUS, которая по площади почти в 3 раза больше платы КАМАК, можно разместить большое количество компонентов, обычно микросхем типа ЭСЛ, определяющих быстродействие работы системы, а также использовать любые типы микросхем, как требует реализация функции модуля. Число микросхем на плате может достигать 300 шт. Скорость передачи информации по магистрали сегмента достигает 40 Мбайт/с, что в 13 раз превышает скорость магистрали КАМАК. Общая мощность, рассеиваемая платой, может достигать до 75 Вт, а для 26 модулей в крейте — почти 2 кВт! Общая мощность, рассеиваемая полностью заполненным крейтом, включая КПД источника питания, может достигать 3 кВт. Поэтому авторы стандарта предусматривают несколько способов охлаждения систем, например с вынужденным продувом воздуха и с водяными обменниками тепла.

Очевидно, что требования стандарта FASTBUS поставили перед разработчиками оборудования нетривиальные технологические задачи, которые были успешно решены.

Как было сказано выше, сигналы на магистрали обмена данными соответствуют, в принципе, уровням эмиттерно-связанной логики (ЭСЛ). Из общего числа сигнальных шин магистрали 32 отведены для мультиплексированных шин адреса данных, 6 — для вектора арбитражи, 5 — для географической адресации, а 7 непосредственно участвуют в процедуре арбитражи обмена данными. Скорость передачи данных по магистрали ограничена быстродействием микросхем и задержками сигналов на шинах.

В крейте FASTBUS предусмотрены напряжения питания, необходимые для микросхем типа ЭСЛ ( $-5,2$ ,  $-2,0$  В), типа ТТЛ ( $+5,0$  В), а также для аналоговых цепей ( $+15$ ,  $-15$ ,  $+28$  В).

На рис. 4 показан классический пример топологии системы FASTBUS и отдельных ее элементов [2].

Из рисунка в какой-то степени можно увидеть широкие возможности организации различных типов систем. Стандарт FASTBUS позволяет реализовать практически любую конфигурацию системы и связи многих источников управления, подобных главному процессору С, показанному на рисунке.

Как уже было сказано, основой стандарта FASTBUS является протокол работы магистрали, который предусматривает:

- мультиплексирование адресов и данных;
- передачи 32-разрядных слов адресов и данных;
- непосредственную и косвенную адресацию;
- передачу по одному слову или блочную передачу;
- географическую, логическую или широковещательную адресацию;



процедуры арбитражи для операции с многими ведущими; одинаковый протокол для сегментов типа крейт или кабель; синхронизацию работы, которая по быстрдействию ограничивается, в принципе, только задержками сигналов на магистрали; считывание только модулей с ненулевой информацией; операции с привязкой к адресу или с привязкой к арбитражи; защиту против зависания системы; диагностические средства.

Таким образом, протокол FASTBUS обеспечивает весьма широкие возможности по отношению к различным топологическим конфи-

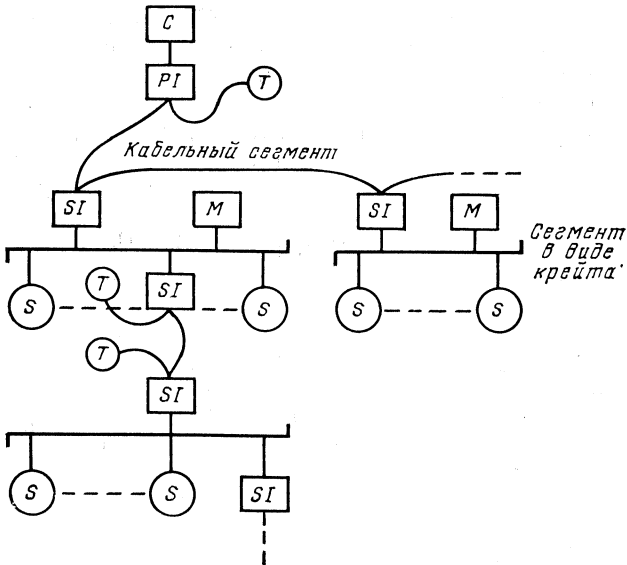


Рис. 4. Пример топологии системы FASTBUS:

*C* — главный процессор системы; *PI* — интерфейс процессора; *SI* — межсегментный соединитель; *M* — управляющий модуль «Ведущий»; *S* — исполняющий модуль «Ведомый»; *T* — согласователь шины сегмента

гурациям систем и к их режимам работы. Эти возможности будут продемонстрированы ниже на примерах экспериментальных установок, применяемых и создаваемых в различных лабораториях мира.

**Применение в физических экспериментах.** Стандарт FASTBUS применяется практически во всех крупных современных спектрометрах физики элементарных частиц. Ниже будут приведены наиболее известные случаи его использования.

*Система сбора данных в лаборатории Брукхейвена.* Довольно часто в современных спектрометрах находит одновременно применение аппаратура, выполненная во всех трех стандартах. Так, например, в Брукхейвенской национальной лаборатории для эксперимента

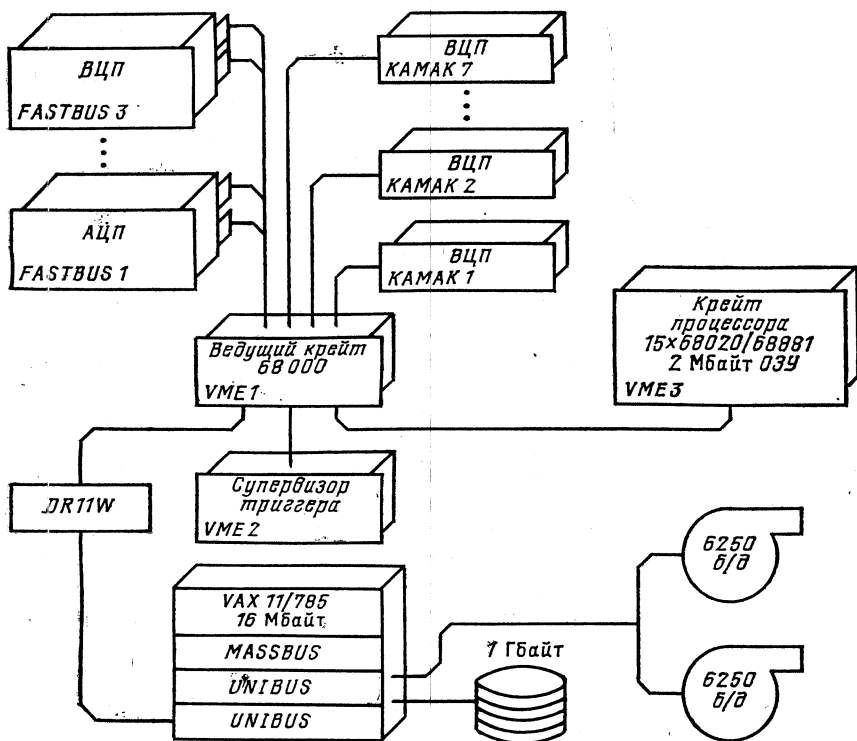


Рис. 5. Система регистрации эксперимента 802

802 создана система сбора данных, с использованием стандартов VME, FASTBUS и КАМАК на линии с компьютером VAX 11/785 [4, 5].

Эксперимент 802 выполняется на пучках релятивистских тяжелых ионов с энергией 14,7 ГэВ для изучения взаимодействия с фиксированной мишенью. В состав установки входят четыре дрейфовые камеры, времяпролетный спектрометр и сегментированный черенковский счетчик для идентификации частиц, дополненные детектором множественности заряженных частиц в виде стримерных трубок и черенковским калориметром.

Структурная схема системы регистрации эксперимента показана на рис. 5. Она состоит из трех крейтов VME, восьми крейтов КАМАК, трех крейтов FASTBUS и ведущей ЭВМ типа VAX 11/785. Для каждого события система считывает информацию с 1600 проволочек дрейфовых камер с помощью модулей времяцифровых преобразователей (ВЦП) FASTBUS и сигналы 750 фотоумножителей с помощью модулей амплитудно-цифровых преобразователей (АЦП) FASTBUS и времяцифровых преобразователей КАМАК. Сигналы с 5000 электродов стримерного детектора считываются с помощью модулей КАМАК.

Объем данных для одного события (при подавлении пьедестала для данных из АЦП) составляет около 5 Кбайт.

Компьютерные мощности организуются посредством крейтов VME. Один из крейтов VME является системным: он обеспечивает связь с большой ЭВМ VAX 11/785 посредством линии связи DR-11W, а находящийся в нем микропроцессор типа M68010 организует работу системного крейта и других. Отдельными крейтами КАМАК управляют драйверы, основанные на процессорах типа M68000. С их помощью группируются и считываются данные из каждого крейта КАМАК.

Другой крейт VME содержит 15 процессоров, каждый из которых использует микропроцессоры типа M68020/16,7 МГц с копроцессором с плавающей запятой типа M68881 и ОЗУ объемом 2 Мбайт. Процессоры используются для фильтрации событий в реальном масштабе времени, а также для группировки данных, поступающих из крейтов FASTBUS, и включения их в общий поток данных. Следует заметить, что общая вычислительная мощность этого крейта в 5 раз превышает вычислительную мощность управляющей ЭВМ VAX 11/785, что наглядно демонстрирует возможности стандарта VME.

Третий крейт VME осуществляет программный контроль аппаратуры, организующей конфигурацию триггеров для запуска системы и режим работы. Крейты VME соединены между собой посредством модулей «Crate Interconnect».

Крейты FASTBUS соединены между собой посредством модулей «Segment Manager» производства фирмы LeCroy и подключены к крейту VME через шину VMX длиной 75 м. Данные, зарегистрированные крейтом, выводятся по каналу прямого доступа к памяти в запоминающее устройство крейта VME, производящего обработку данных.

Программное обеспечение использует Real-Time Fortran (RTF), основанный на языке ФОРТРАН 77. Около 2 % программ написано на языке АССЕМБЛЕР. Загрузка центрального процессора при передаче данных из систем на магнитную ленту составляет около 4 % при скорости обмена 100 Кбайт/с. Имеется возможность записи данных на дисковые накопители, а в будущем на оптические диски.

*Установка DELPHI (ЦЕРН).* Одним из крупных спектрометров, создаваемых в ЦЕРН для экспериментов на LEP, является DELPHI [6]. Спектрометр создается силами большой коллаборации, одним из участников которой является ОИЯИ. В системе сбора данных этого эксперимента, особенно в его входной части, широко используется стандарт FASTBUS. Общее число измерительных каналов спектрометра составляет около 150 000. Ожидаемый средний объем информации события для 20 треков и 20 фотонов составляет около 200 Кбайт. Для записи этих данных на магнитную ленту при плотности 6250 бит/дюйм потребуется 400 магнитных лент в день при времени записи одной ленты 4 мин.

Детектор DELPHI включает в себя множество различных детекторных систем, расположенных пространственно для создания кон-

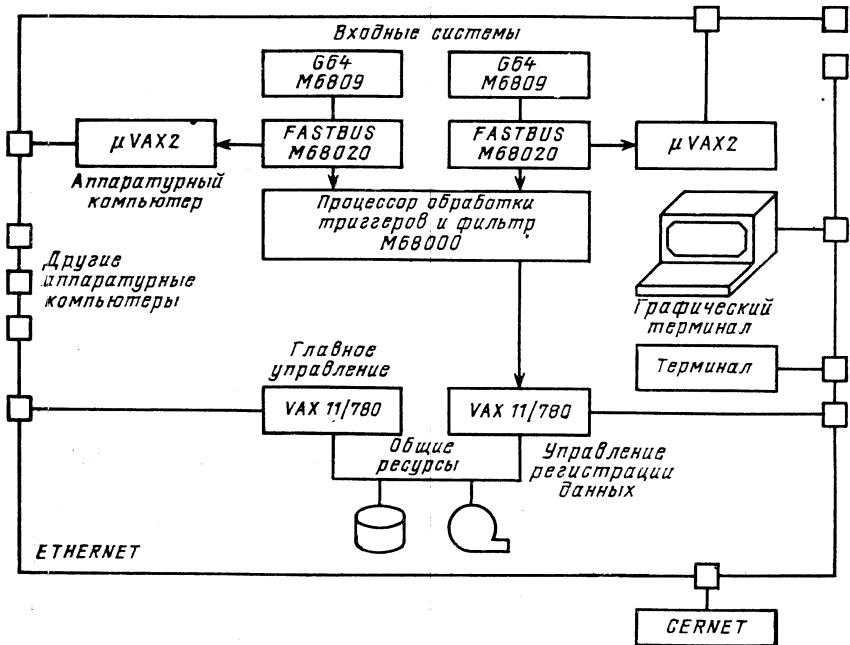


Рис. 6. Структурная схема системы регистрации и отбора событий установки DELPHI

фигурации 4л. В триггере установки предусмотрено четыре уровня отбора исследуемых событий, позволяющих сокращать частоту интересных событий от начальных 1 кГц до нескольких в 1 с. На рис. 6 показана в целом структурная схема системы регистрации и отбора событий для установки DELPHI, а на рис. 7 демонстрируется схема считывания данных, выполненная на модулях FASTBUS.

В модулях FASTBUS используются микропроцессоры типа M68000/M68020 (для основной обработки данных) и эмуляторы 3081E (для обработки и фильтрации событий). Общее число крейтов FASTBUS эксперимента DELPHI будет составлять от 150 до 250 шт. Для обработки данных, полученных в ходе эксперимента, содержащих около 1,5 миллиона адронных событий, потребуются вычислительные мощности, эквивалентные 6 ЭВМ типа IBM 370/168, а в дальнейшем — 12 таких ЭВМ (предполагается, что эти нужды будут обеспечены институтами, участвующими в коллаборации DELPHI). Программное обеспечение системы FASTBUS эксперимента DELPHI основано, главным образом, на языках высокого уровня ФОРТРАН 77 и PILES.

*Система регистрации событий детектора CDF.* В Национальной ускорительной лаборатории им. Э. Ферми в Батавии (США) для

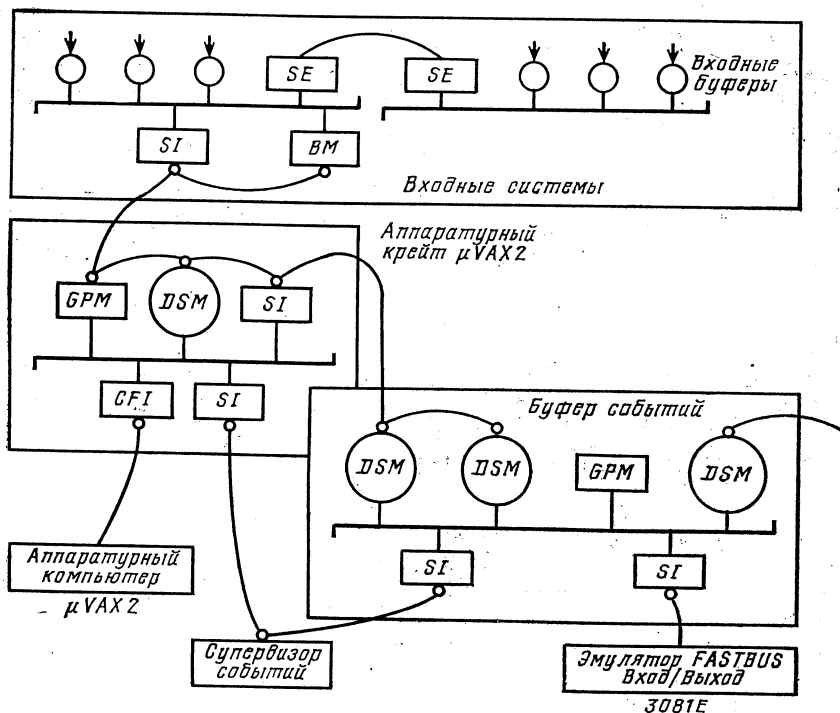


Рис. 7. Система считывания данных:

ВМ — модуль блочной передачи; CFI — интерфейс КАМАК — FASTBUS; DSM — двоякая память; GPM — универсальный управляющий модуль; SE — удлинитель сегмента; SI — межсегментный соединитель

исследования протон-антипротонных взаимодействий с энергией 2 ТэВ создана многоцелевая установка CDF (Collider Detector Facility) для регистрации событий, состоящая из центральной системы детекторов, детекторов частиц, направленных вперед и назад, электромагнитного и адронного калориметров [7]. Система сбора и обработки данных с числом каналов, превышающим 60 000, построена на основе стандарта FASTBUS и содержит свыше 500 модулей. Крейты электроники расположены рядом с калориметрами, содержат зарядочувствительные преусилители, стробируемые запоминающие конденсаторы, мультиплексированные 16-разрядные АЦП и ВЦП.

Трехуровневая триггерная система детектора осуществляет задачу отбора одного интересного события из каждых 50—75 тыс. взаимодействий для записи на магнитную ленту. Пропускная способность системы составляет 100 событий в 1 с. Считывание данных из каждого сегмента FASTBUS осуществляется со скоростью 40 Мбайт/с. Рассмотрена возможность параллельной обработки нескольких событий [7]. На рис. 8 представлена структурная схема системы сбора

Рис. 8. Структурная схема сбора данных установки CDF:

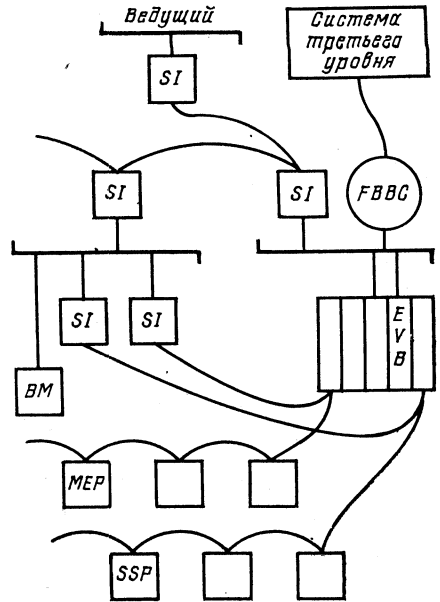
*EVB* — собиратель событий; *BM* — менеджер буфера; *MEP* — схема многократных событий; *SSP* — сканирующий процессор; *FBBC* — контроллер управления шиной магистральной; *SI* — межсегментный соединитель

данных детектора коллайдера, на которой, в частности, показан главный узел системы — «собиратель события» (Event Builder). Этот узел аналогичен такому же узлу в эксперименте ALEPH, осуществляемом в ЦЕРН. Узел содержит два процессорных блока на микропроцессорах M68020, реализующих считывание данных, реформатирование события и передачу его на уровень, производящий обработку и фильтрацию данных. Каждый из них может выполнять одновременно две из перечисленных операций. Имеется возможность

применения большего числа таких модулей с целью повышения пропускной способности системы. Работой «собирателя события» управляет отдельный контроллер, который отвечает за связь с менеджером буфера, считывание данных события, слежение за работой процессорных блоков и управляет передачей информации о событии в систему третьего уровня, на котором производится дальнейшая обработка результатов. Программное обеспечение основано на языке ФОРТРАН.

**Установка MARK-II.** В Центре линейного ускорителя Станфордского университета создана система детектора MARK-II, в которой для сбора данных из 20 000 каналов используется около 30 крейтов-сегментов FASTBUS. Ведущим компьютером является VAX. Схема системы показана на рис. 9. Для этой системы [8] разработан модуль FASTBUS 16-канального 6-разрядного быстрого преобразователя амплитуда — цифра с быстродействием 100 МГц и спецпроцессор [9]. Вместе с другими детекторами Станфордского линейного коллайдера общее число каналов измерения будет составлять 215 000, а число крейтов FASTBUS—81.

**Система FASTBUS в Лос-Аламосе.** Система FASTBUS применяется также для исследования в области физики средних и промежуточных энергий. Например, в Лос-Аламосской лаборатории мезонной физики для эксперимента MEGA, в котором будут исследоваться процессы распада мюонов на электрон и  $\gamma$ -кванты, создается система регистрации и обработки данных, поступающих со скоростью 3 Мбайт/с.



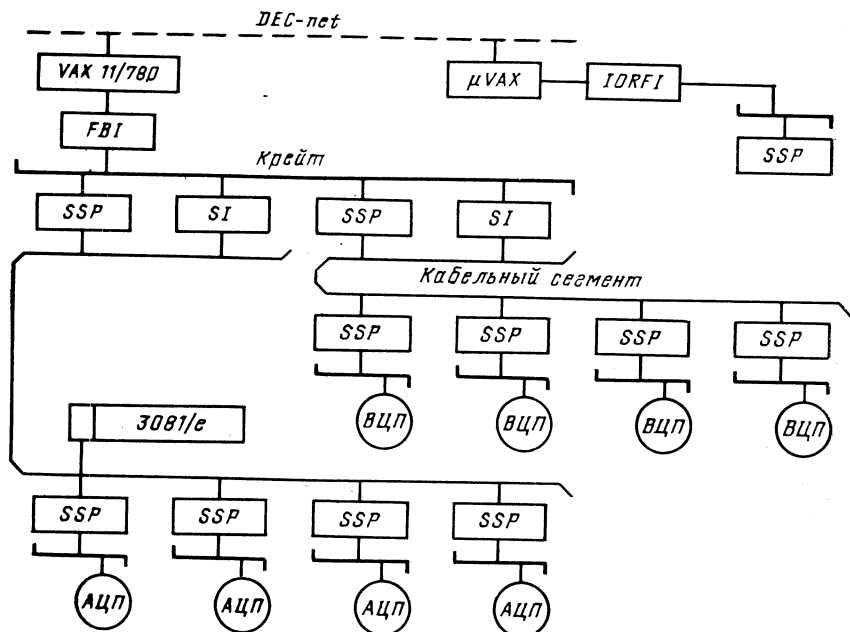


Рис. 9. Система автоматизации детектора MARK-II:  
 IORFI — входной/выходной интерфейсный регистр FASTBUS; FBI — интерфейс FASTBUS;  
 SSP — сканирующий процессор; SI — межсегментный соединитель

Процесс обработки данных показан схематически на рис. 10. Жестко организованный триггер будет ограничивать число событий в среднем до 24000 в секунду [10]. Триггер второго уровня будет реализован в виде суперкомпьютера, созданного в Лаборатории им. Э. Ф. Ферми [11], состоящего из 32 процессоров M68020. Данные из суперкомпьютера со скоростью 24 Кбайт/с будут передаваться в ЭВМ μVAX для окончательной обработки. Схема системы показана на рис. 11.

*Другие применения.* География применения стандарта FASTBUS охватывает не только европейские и американские лаборатории. В Национальной лаборатории физики высоких энергий КЕК в Японии [12] для экспериментов, планируемых на установке TRISTAN (встречные пучки электронов и позитронов), также разрабатывается система сбора и обработки данных, использующая FASTBUS в качестве стандартной шины обмена данных с ЭВМ типа VAX 11/750. Разработчики идеи используют полностью функциональные возможности системы FASTBUS как универсального интерфейса.

Для этой системы разрабатывается ряд модулей FASTBUS, в частности, два типа ведущих модулей с микропроцессорами M68000, один из которых представляет собой интерфейс одноплатного компьютера Hitachi-SBC, другой — автономный процессор, интерфейс

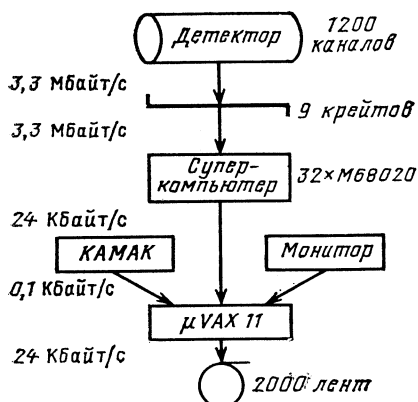
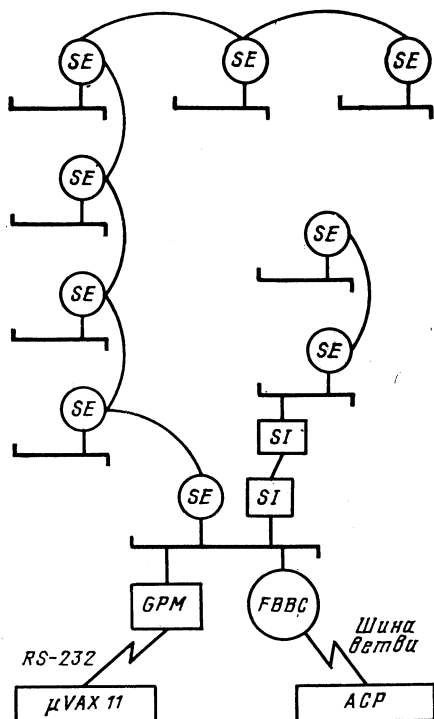


Рис. 10. Процесс обработки данных эксперимента MEGA

Рис. 11. Система сбора данных эксперимента MEGA:

GPM — универсальный управляющий модуль; FBBC — контроллер управления шиной магистрали; ACP — суперкомпьютер; SE — удлинитель сегмента; SI — межсегментный соединитель



КАМАК — FASTBUS, интерфейс для компьютера VAX 11 и др. (рис. 12).

Разрабатываемые модули предназначены пока для прототипной системы, с помощью которой будут создаваться другие модули FASTBUS и осваиваться программное обеспечение. Для тестирования модулей разработана программа FASTbug (FASTBUS Debugger) на макроАССЕМБЛЕЕРЕ, загружаемая в каждый ведущий модуль. Объем программы составляет около 6 Кбайт.

Планы использования стандарта FASTBUS имеются также и в КНР в Институте физики высоких энергий в Пекине.

В заключение обзора применения системы FASTBUS следует отметить, что общее число лабораторий в мире, использующих этот стандарт, превышает 30, а число установленных крейтов достигает 1000 шт. Стандарт хорошо поддерживается производителями. Число фирм, выпускающих изделия в этом стандарте, достигает 33. В основном это фирмы США, ФРГ, Швейцарии, Франции.

Системы и модули FASTBUS в ОИЯИ. Первой системой, созданной в ОИЯИ в стандарте FASTBUS, является система анализа аналоговой информации и измерения временных интервалов для спектрометра СФЕРА [13] Лаборатории высоких энергий. Принципиальная



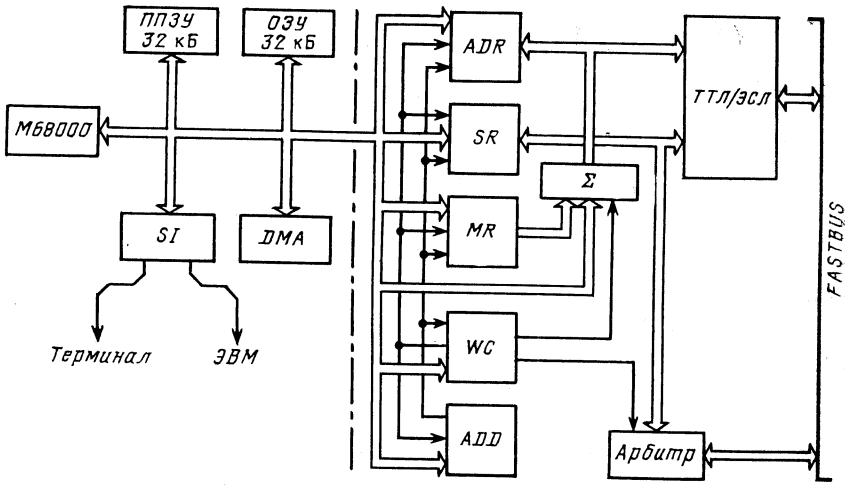


Рис. 12. Блок-схема автономного процессора установки TRISTAN:

SI — последовательный интерфейс; DMA — управление каналом прямого доступа к памяти; ADR — регистр адреса; SR — регистр статуса; MR — основной регистр; WC — схема управления окном анализа; ADD — дешифратор адреса

схема системы показана на рис. 13. В прототипной системе использовалась связь с микроЭВМ «Электроника-60» с помощью стандартного модуля FIORI и сопряженных с ним входных/выходных регистров КАМАК.

В дальнейшем предполагается подключение аппаратуры системы к компьютеру типа VAX 11/730.

В установке применяются следующие модули FASTBUS: 16-канальное пересчетное устройство с быстродействием 350 МГц, 16-канальный 8-разрядный амплитудно-цифровой преобразователь с временем преобразования менее 40 нс, 8-канальный быстрый АЦП с памятью глубиной 256 × 8-разрядных слов, двухпортовое

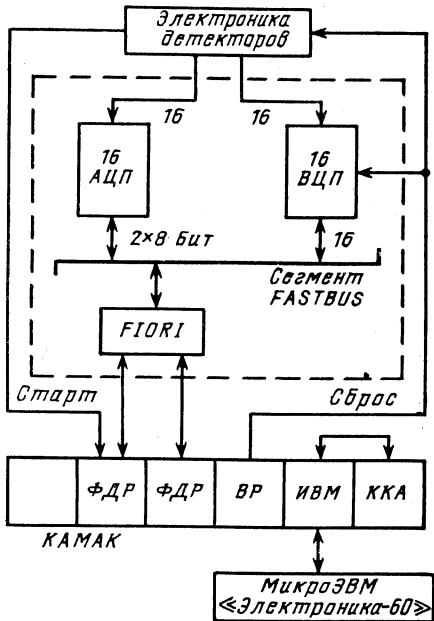


Рис. 13. Система анализа аналоговой информации и измерения временных интервалов:

FIOPI — входной/выходной регистр FASTBUS; ФДР — регистр интерфейса FIOPI; ВР — выходной регистр; ИВМ — интерфейс ЭВМ; ККА — контроллер крейта КАМАК типа А

буферное ЗУ емкостью  $32\text{ К} \times 32$ -разрядных слов, 32-канальный быстрый сдвиговый регистр и диагностический модуль — индикатор состояния шин сегмента FASTBUS.

Блок-схема одного из разработанных модулей FASTBUS — модуля быстрого АЦП с памятью — показана на рис. 14. На нем можно выделить общую часть, которая реализует протокол обмена данными с сегментом, и входную, содержащую в основном 8 каналов быстрых

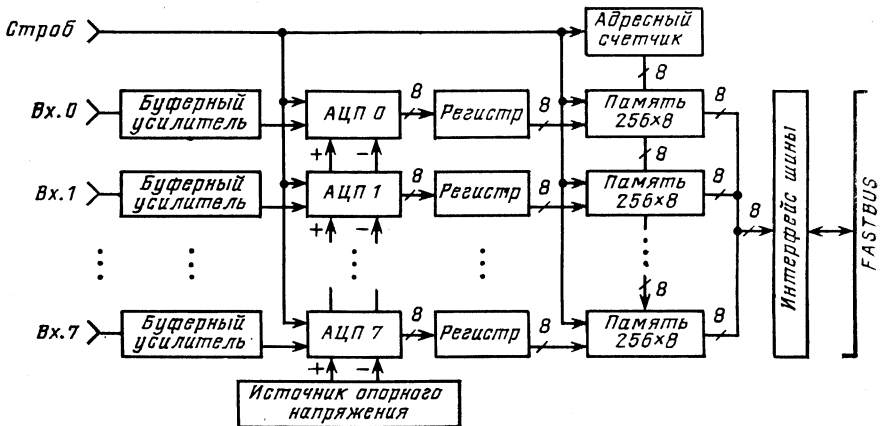


Рис. 14. Блок-схема быстрого АЦП с памятью

АЦП. Внешний вид ряда модулей FASTBUS, разработанных в Лаборатории, показан на рис. 15.

Программное обеспечение для разработанной системы основано на языках АССЕМБЛЕР и ПАСКАЛЬ. Организация работы системы FASTBUS для обработки аналоговой информации представлялась на симпозиуме по электронике координатных детекторов.

**Программное обеспечение.** Программное обеспечение системы FASTBUS должно организовать взаимодействие прикладных программ, написанных на одном из известных языков высшего уровня с протоколом FASTBUS.

Ввиду того что стандарт FASTBUS получил очень большую популярность среди больших физических лабораторий мира, а весьма сложные задачи, которые решаются с помощью этого стандарта, требуют мощного программного обеспечения, усилия разработчиков направлены на создание унифицированных средств. Комитетом NIM был разработан проект документа, определяющего стандартные процедуры FASTBUS [14]. В этом документе определены лексика и синтаксис, необходимые для составления пакетов программ управления сегментом FASTBUS. Основными целями документа являются устранение разницы в подходе к задачам разработки программ для систем FASTBUS и создание основ для их использования, по воз-

возможности независимо от типа ЭВМ и применяемого языка высокого уровня. В 1985 г. в ЦЕРН состоялось рабочее совещание по вопросам программного обеспечения систем в стандарте FASTBUS [15].

При рассмотрении систем в данной статье уже упоминались некоторые данные о применяемых языках программирования. Можно сказать, что самым популярным является ФОРТРАН. Во многих случаях вопрос языка программирования, используемого для обслуживания системы, зависит непосредственно от опыта и традиций

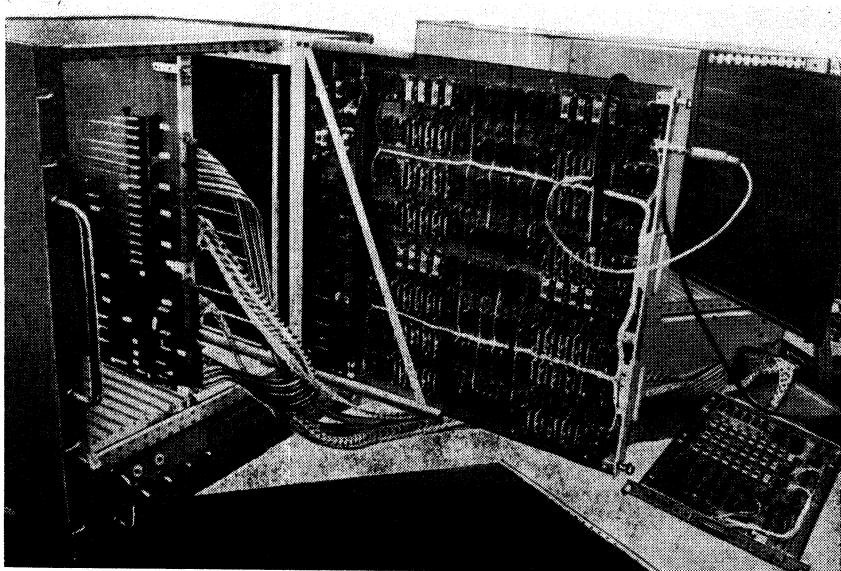


Рис. 15. Внешний вид модулей FASTBUS, разработанных в ЛВЭ

специалистов данного центра. Так, например, в ЦЕРН используются, кроме ФОРТРАН, также и другие языки, такие, как ПАСКАЛЬ, СИ, ПИЛС, БЕЙСИК. Интересным поиском с точки зрения рационализации программ является попытка использования языка ФОРТ, предпринятая в Стэнфордской лаборатории. Язык ФОРТ является интерактивным языком, предоставляющим разработчику возможность его расширения в соответствии с нуждами данной системы и конкретного эксперимента. При разработке детектора MARK-II программы на языке ФОРТ использовались в целях тестирования аппаратуры и при разработке прототипов. Можно ожидать, что применение этого языка в системах FASTBUS будет расширяться.

## 2. СТАНДАРТ VME

**Основные характеристики.** Необходимость второй (кроме шины FASTBUS) стандартной шины для обмена данными, адресами и командами связана с возможностью применения принципов параллельной обработки данных и, в конечном итоге, существенного повышения производительности компьютерных систем. Эта возможность появилась благодаря выпуску сравнительно дешевых и надежных микро-

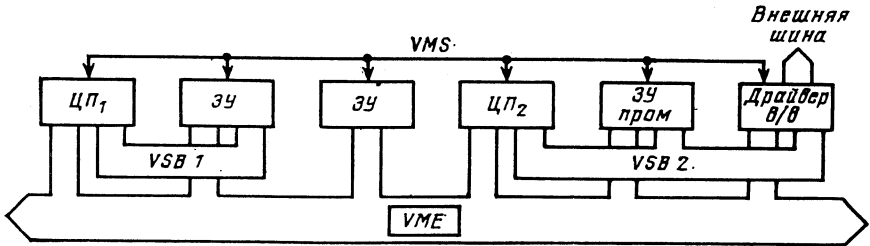


Рис. 16. Структурная схема интерфейса VME:

все шины: VME, VSB, VMS утверждены в качестве международного стандарта. Шина VME представляет собой многопроцессорную многоуровневую систему с характеристиками: 32 разряда данных, адресация до 4 Гбайт памяти, пропускная способность более 20 Мбайт/с; многопроцессорная шина VSB объединяет до шести процессоров и имеет следующие характеристики: 32 разряда мультиплексируемых адреса и данных, адресация до 12 Гбайт памяти, пропускная способность до 100 Мбайт/с

процессорных схем. Длина слова современных высокопроизводительных микропроцессоров составляет 32 разряда и, вероятно, в ближайшем будущем не изменится.

Шина VME является единственным в настоящее время международным стандартом для 32-разрядных микропроцессорных систем [16]. В мире производится 1051 изделие на основе шины VME 147 фирмы. Прогнозируемый пик использования шины VME в мире приходится на 1987—1992 гг., а время применения — примерно до 2000 г. [17]. Поскольку в настоящее время широко применяются 16-разрядные микропроцессоры, шина VME представляется особенно привлекательной, так как она избыточна (т. е. более экономична и надежна) в 16-разрядном варианте.

Шина VME широко используется в автоматизированных системах регистрации и обработки данных и управления установками физики элементарных частиц и атомного ядра.

Использование шины VME предполагает, вообще говоря, применение совокупности нескольких стандартов: VME, VSB или VXI, VMS в одном крейте, а также VIC для реализации многокрейтных конфигураций. Шина VXI — это специализированная приборная шина; разработка шин VXI и VIC еще не завершена. Назначение основных стандартов демонстрируется на структурной схеме, показанной на рис. 16 [18]. Шина VME — это 32-разрядный асинхронный параллельный интерфейс с семью уровнями прерывания. Он позво-

ляет сосредоточить в одном крейте память до 4 Гбайт и организовать как мультипроцессорный режим работы, так и работу систем реального времени. Захват шины модулем, который должен в данный момент ею управлять, осуществляется специальным модулем — арбитром шины. Максимальная скорость обмена по шине VME составляет от 24 до 57 Мбайт/с. Для шины VSB она близка к скорости обмена по шине FASTBUS [19]. Конструктивно шина размещена на крейте с вставными модулями-платами, как показано на рис. 17.

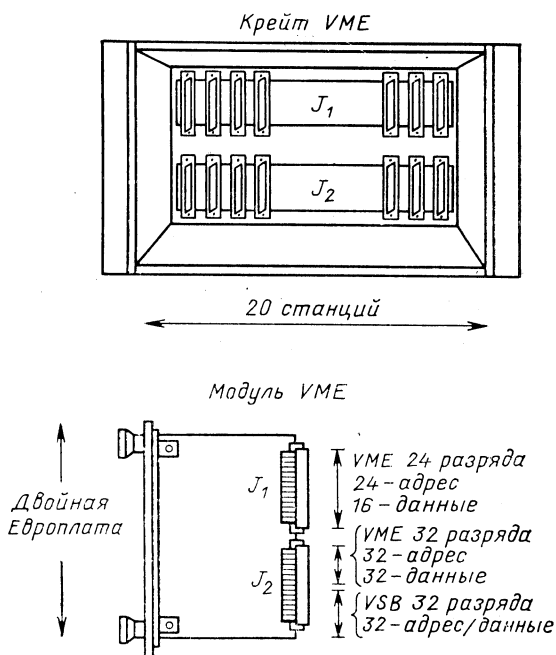
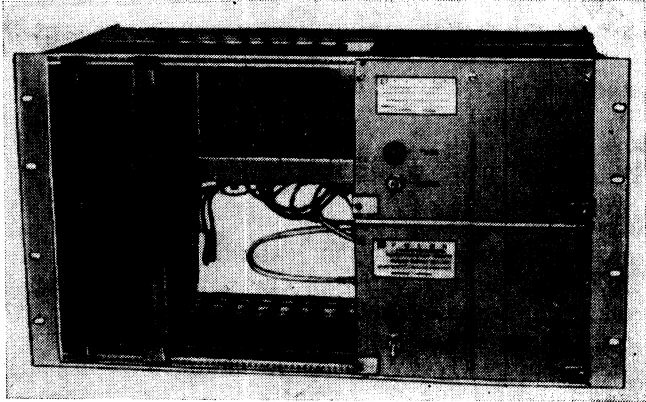


Рис. 17. Внешний вид крейта и модуля VME

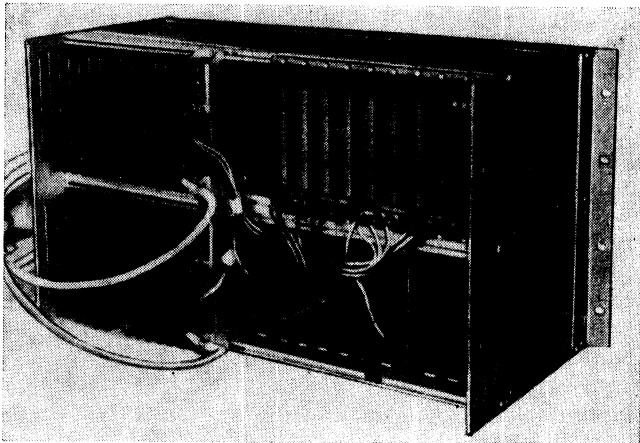
Крейт VME основан на конструкциях так называемой евромеханики с разъемом С96 (стандарт DIN). При использовании только 16-разрядной шины (разъем  $J_2$ ) высота крейта может быть 100 мм, в 32-разрядном варианте крейт имеет высоту 233 мм. Модули в глубину имеют размер 160 мм.

В ЛВЭ ОИЯИ разработано 2 типа магистралей для шины VME, изготовленные методом накрутки и печатным монтажом. Они установлены в стандартные еврокрейты производства «POLON» (ПНР), снабженные блоками питания, и производства «KОНТАКТА» (ВНР) (рис. 18). Преимуществом VME является наличие полного набора интерфейсных чипов [20, 21], а также ориентация на системы реального времени.

Интерфейсные чипы выполняются либо как монолитные БИС, либо используются программируемые диодные матрицы. Последние представляют наиболее быстрый путь преодоления технологического барьера. В набор необходимых интерфейсных схем входят генератор



а



б

Рис. 18. Еврокрейт с магистралью VME и источниками питания:

а — вид спереди; б — вид сзади

и обработчик прерываний, арбитр приоритетов, ведущий и ведомый контроллер.

**Области применения.** Шина VME рассчитана на широкую область применения — от систем реального времени до параллельных мульти-процессорных систем обработки данных (суперкомпьютеры). Разрабо-

таны и выпускаются разнообразные наборы модулей VME и целые системы. Конкретные существующие области применения модулей VME [22—24]:

автоматизированные системы управления технологическими процессами (АСУ ТП);

системы автоматизированного проектирования (САПР);

станки с числовым программным управлением (ЧПУ);

робототехника;

гибкие автоматизированные производства (ГАП);

машинная графика;

локальные сети;

периферийные устройства ЭВМ;

спецпроцессоры;

приборостроение;

автоматизация научных исследований.

Шина VME в области научных исследований является естественным дополнением к широко применяемой шине КАМАК. Она позволяет ввести мультипроцессорные средства в системы автоматизации научных исследований. В этой области диапазон применения шины VME распространяется на:

системные контроллеры больших автоматизированных систем;

графические станции экспериментальных стендов и установок;

спецпроцессоры обработки данных;

эмуляторы существующих высокопроизводительных ЭВМ;

локальные сети лабораторий;

спектрометры и системы управления ускорителями и другими базовыми установками науки.

Системные контроллеры на основе шины VME позволяют заменить на стандартной основе системный крейт для систем со многими ветвями и объединить множество компьютеров в систему. В графических станциях модули VME позволяют создавать новые поколения набора дисплейных процессоров и интерфейсов. Широкие возможности применение шины VME открывает для создания мультипроцессорных систем обработки научных данных, что, в конечном итоге, позволит получить вычислительные мощности, значительно превосходящие возможности существующих компьютеров.

Применение шины VME в физике элементарных частиц и атомного ядра распространяются на:

системные крейты [25—29];

микросуперкомпьютеры (спецпроцессоры и микропроцессорные кластеры) [30—32];

графические станции спектрометров [33];

собиратели образа события [25, 31, 34, 35];

аппаратурные компьютеры [36];

спецпроцессоры отбора данных;

спецпроцессоры считывания [21, 37];

спецпроцессоры обработки данных;

процессоры предварительной обработки в ядерной спектроскопии [38];

многоканальный многопараметрический амплитудный анализ [39, 40];

многопроцессорные распределенные системы управления ускорителями [41, 42];

генераторы функций управления питанием ускорителей [43];

интерфейс персональных компьютеров [36, 44];

интерфейс канала IBM и контроллеры периферийных устройств [45, 46].

Ведущие физические лаборатории мира уделяют большое внимание применению шины VME. Так, например, в ЦЕРН реализуется проект PRIAM [47] — создание систем автоматизации спектрометров и ускорителей элементарных частиц на основе шины и модулей VME. В Национальной ускорительной лаборатории им. Э. Ферми осуществляется проект Advanced Computer Program [30, 48], имеющий целью создание высокоэффективных систем обработки данных, превосходящих по производительности существующие суперкомпьютеры в  $10^2$ — $10^6$  раз. На основе крейта VME создана система, эквивалентная по производительности 15 ЭВМ типа VAX 11/780.

Далее рассмотрим применение шины VME на наиболее ярких примерах систем автоматизации ускорителя на встречных пучках и спектрометра на пучке такого ускорителя. С одной стороны, эти объекты предъявляют самые высокие требования к характеристикам систем автоматизации, с другой — рассматриваемые системы типичны в ряду разрабатываемых систем автоматизации установок нового поколения в экспериментальной физике элементарных частиц и атомного ядра.

**Система сбора данных эксперимента UA1.** Система автоматизации установки UA1 представляет собой новый этап в области разработки систем автоматизации спектрометров. Представленное ниже краткое описание системы иллюстрирует тенденции изменения традиционных способов приема и обработки данных в эксперименте на линии с ЭВМ.

В экспериментальных установках физики элементарных частиц нового поколения используется, как правило, набор детекторов различного типа, регистрирующих частицы в полном телесном угле на коллайдерах или в узком конусе вперед на ускорителях с фиксированной мишенью. Характеристики детекторов в обоих случаях примерно одинаковы. Общее число каналов регистрации в установке возросло более чем на два порядка. В этих установках необходимо регистрировать данные в непосредственной близости от детектора. При регистрации разрешающая способность должна быть достаточно высокой, обеспечивающей позже реконструкцию нескольких десятков накладывающихся друг на друга траекторий различных частиц. В результате для каждого регистрируемого события с детекторов поступает очень большой объем данных. Чтобы при этом обеспечить приемлемую скорость приема событий, необходимы эффективный



многоуровневый триггер, параллельное чтение данных с различных детекторов или частей большого детектора и высокопроизводительные процессоры чтения. В описываемой системе требуемые характеристики системы сбора данных обеспечиваются благодаря использованию стандартной многопроцессорной шины VME.

Возникающая при этом новая самостоятельная задача программирования работы столь сложной системы с распределенной процессорной мощностью, управления ею и контроля узлов решается с помощью новейших персональных ЭВМ, имеющих непосредственный доступ к шинам VME и КАМАК.

Одно из основных требований к системе — возможность модернизации — удовлетворяется за счет свойства модульности интерфейса. Благодаря ему будет обеспечена работоспособность установки при большей светимости после ввода в строй накопителя антипротонов.

Далее рассмотрим основные характеристики установки.

*Некоторые характеристики установки.* Экспериментальная установка UA1 — многоцелевая установка с 4л-геометрией на участке пересечения пучков LSS5 протон-антипротонного коллайдера в ЦЕРН. За пять лет ее работы с 1981 г. проанализированы более 100 миллионов событий. Ярким достижением коллаборации UA1 (165 человек из 19 институтов) стало экспериментальное наблюдение промежуточных векторных бозонов  $W^+$ ,  $W^-$  и  $Z^0$  в феврале 1983 г. [49]. Это самые тяжелые элементарные частицы, полученные на ускорителях до сегодняшнего дня, они считаются переносчиками явлений слабых взаимодействий.

Таблица 2. Характеристики детекторов

Детектор	Число каналов	Данные, Кбайт	
		«сырые»	форматированные
Центральный детектор—дрейфовая камера	6200	1600	80
Адронный калориметр	1200	2,4	2,4
Электромагнитный калориметр	2200	4,4	4,4
Калориметрический детектор положения	4000	8	8
Камера частиц переднего вылета	2000	32	8
Дрейфовая (мюонная) камера	6000	1	1
Стримерные трубки	50000	50	4

В табл. 2 приведены основные характеристики детекторов установки, помещенных в магнитное поле диполя. Основными недостатками системы сбора данных, контроля и управления, выполненной на первом этапе в стандарте КАМАК, были низкая частота считывания событий и трудности при увеличении процессорной мощности для улучшения характеристик системы. Поэтому в 1984 г. система автоматизации эксперимента была перестроена на основе стандарта

VME [50, 51]. В первую очередь была реализована новая структура триггера.

В среднем объем события, записываемого на магнитную ленту, составляет 160 Кбайт. Максимальная пропускная способность в системе составляет 450 Кбайт/с. Погрешности при чтении данных не превышают 5%. Эффективность системы составляет примерно 90%. Электронные модули для преобразования сигналов в цифровую форму и форматирования данных размещены в 200 крейтах, сгруппированных в 28 ветвей КАМАК. В системе насчитывается 100 тысяч контактных соединений, т. е. примерно такое же число, как в самых сложных устройствах по обработке информации. С целью достижения высоких характеристик традиционная по распределению функций система сбора данных реализована на основе многопроцессорной шины.

*Структурная схема системы сбора данных.* Система сбора данных состоит из следующих подсистем: триггерной, параллельного считывания данных и предварительной обработки событий (рис. 19).

Частота столкновения протонов и антипротонов при максимальной светимости ускорителя может достигать 50 кГц. Для получения скорости записи событий на магнитную ленту 4 Гц используется трехуровневый триггер [25]. Две ступени первого уровня срабаты-

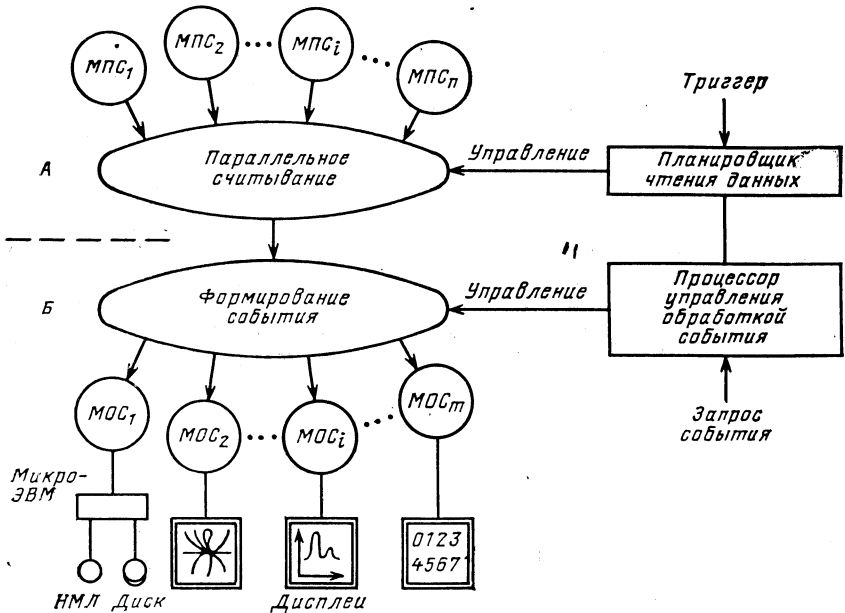


Рис. 19. Структурная схема сбора данных:

А — подсистема параллельного считывания данных, Б — подсистема предварительной обработки событий,  $МПС_i$  — ( $i = 1, \dots, n$ ) и  $МОС_j$  ( $j = 1, \dots, t$ ) — соответствующие микросистемы, где  $n$  и  $t$  — число детекторов и видов обработки события

вают в течение промежутка времени между прохождением последовательно двух ступок пучка (3,8 мкс). На первой ступени производится выделение калориметром электронов с энергией выше установленной пороговой. Реализуется триггер первого уровня с помощью «западной программы», АЦП с малым временем преобразования и стандартных модулей NIM. На второй ступени с помощью дрейфовых камер выделяются треки мюонов в пределах угла в 150 мрад от направления на вершину взаимодействия. Триггер второго уровня срабатывает через 1 мс. За это время микроЭВМ на основе микропроцессора М68000 восстанавливает трек мюона. Длительность интервала срабатывания триггера третьего уровня от 50 до 500 мс. За это время пять микроЭВМ 168Е выполняют программу расчета энергии частиц. Объем программы — 25 000 строк на языке ФОРТРАН.

Подсистема параллельного считывания данных обеспечивает чтение данных с детекторов, переформатирование и запись в локальные буферные ЗУ. Подсистема предварительной обработки событий формирует полное событие из этих данных, накапливает события в общих буферных ЗУ и обеспечивает их предварительную обработку. Управление этими подсистемами осуществляют два процессора: планировщик чтения данных и процессор управления обработкой события.

Подсистемы считывания и обработки события работают автономно, первая запускается сигналом триггера установки, вторая обслуживает запросы от микросистем обработки. Дерандомизация потока данных между подсистемами обеспечивается с помощью общего буферного ЗУ, объем которого достаточен для приема данных о четырех (позже до 16) полных событиях и которое работает в режиме «первый вошел — первый вышел».

Описанная функциональная структура традиционна для большинства систем автоматизации спектрометров физики элементарных частиц. Для экспериментальных установок с меньшей частотой триггера или с меньшим объемом данных о полном событии она может быть реализована с помощью одной мини-ЭВМ, снабженной многозадачной операционной системой. Функции подсистем считывания и обработки события выполняются при этом отдельными программными модулями, а для передачи данных достаточно одной последовательной линии связи. Система сбора данных с такой структурой работала в составе установки с 1981 г. Основу ее составлял стандарт КАМАК, чтение данных с детекторов велось под управлением аппаратной программы. Как было сказано выше, в 1984 г. система автоматизации установки с целью повышения ее эффективности перестроена на основе стандарта VME.

*Реализация системы на основе стандарта VME.* Сущность модернизации системы заключается в переходе к многопроцессорной структуре подсистем считывания и предварительной обработки данных. Необходимость в такой структуре диктуется ростом сложности задач сбора и обработки данных, а возможность ее реализации

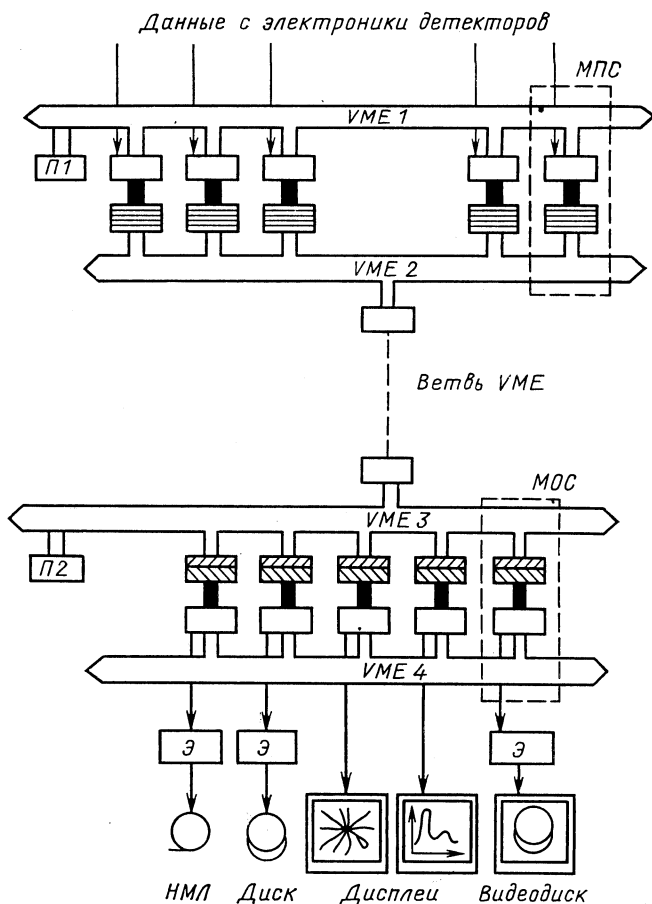


Рис. 20. Структура системы считывания данных установки UA1:

MPC — микросистема параллельного считывания, MOC — микросистема обработки события; микроЭВМ показаны светлыми прямоугольниками: П1 — планировщик чтения данных; П2 — процессор управления обработкой события; Э — эмуляторы; ЭУ показаны заштрихованными прямоугольниками; шины показаны стрелками: локальные — тонкими, VME и VME — толстыми светлыми и затухающими соответственно

обеспечивается разработкой и внедрением многопроцессорных интерфейсов на основе достижений в области микропроцессорной техники.

Подсистема считывания данных и подсистема обработки событий, структурно построенные из независимых специализированных систем на основе микропроцессоров, в этой работе называются микросистемами считывания и микросистемами обработки.

В подсистеме считывания данных имеется автономная микросистема для каждого детектора (рис. 20). В подсистеме обработки события отдельной микросистемой выполняется определенный вид

обработки полного события — фильтрация, выдача на дисплей, запись на МЛ и т. п. Подсистемы считывания данных и обработки событий соединены ветвью VME с пропускной способностью 6,5 Мбайт/с.

Микросистема считывания включает драйвер локальной шины (ветви) детектора и процессор (микроЭВМ), а также двухпортовое ЗУ. Эти три модуля VME связаны шиной VMX. Одна из таких микросистем показана на рис. 21. В крейте с шиной VME1 размещены драйвер

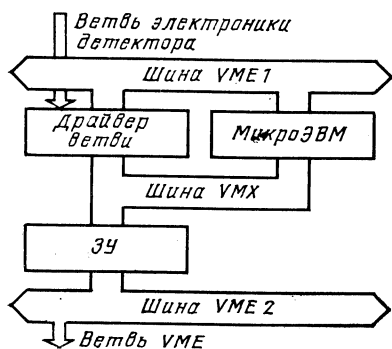


Рис. 21. Структура микросистемы параллельного считывания (МПС)

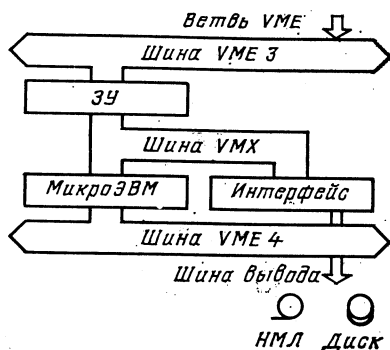


Рис. 22. Структура микросистемы обработки событий (МОС)

и процессор, ЗУ размещено в крейте с шиной VME2. Емкость ЗУ — 128 Кбайт, что достаточно для запоминания данных с детектора о нескольких событиях. Планировщик чтения данных П1 (рис. 20) управляет шинами, инициирует драйверы и процессоры в микросистемах считывания, контролирует процесс сбора данных и работу устройств.

Во время приема данных о событии драйвер в каждой микросистеме, инициированный планировщиком чтения, читает данные по локальной шине (ветви) и записывает их в ЗУ по шине VMX (рис. 21). Процессор выполняет переформатирование данных, выработку триггера второго уровня, калибровку и тесты аппаратуры и ее контроль. Позже данные из ЗУ1 будут считаны в микросистему обработки события.

Схема соединений компонентов в микросистеме обработки события аналогична описанной, одна из таких микросистем показана на рис. 22. Двухпортовое ЗУ емкостью 256 Кбайт, достаточная для записи данных о полном событии, размещено в первом крейте с шиной VME3, а процессор (микроЭВМ) обработки события и интерфейс внешних устройств — в крейте с шиной VME4. Эти модули связаны шиной VMX. Процессор управления обработкой события П2 по запросу от одной из микросистем обработки формирует полное собы-

тие, собирая данные из нескольких ЗУ микросистем параллельного считывания и записывает в ЗУ микросистемы обработки события, выставившей запрос (рис. 20).

Система сбора данных включает 30 микросистем считывания и 12 микросистем обработки события. Так как все задачи в микросистемах выполняются независимыми процессорами, использующими локальные шины VMX для доступа к данным, пропускная способность всей системы сбора не зависит от числа автономных систем, а определяется только пропускной способностью шин.

Далее рассмотрим основные компоненты системы — процессоры и шины и их модульную реализацию.

**Процессоры.** В состав системы входят устройства, включающие 217 8-разрядных микропроцессоров общего назначения для контроля работы аппаратуры и тестов, а также устройства с высоким быстродействием для сжатия и форматирования данных, включающие 110 микропроцессоров с разрядно-модульной структурой.

16-Разрядные микропроцессоры представлены микроЭВМ FAMP M68000 и одноплатной микроЭВМ VME CPUA1 M68010 (фирмы Motorola).

Первая разработана в институте NIKHEF-N в Амстердаме до утверждения стандарта VME и вытеснена позже этим стандартом. На ее основе реализован мюонный триггер второго уровня. Одноплатная микроЭВМ используется во всех микросистемах считывания, а также в качестве процессора — планировщика чтения данных и процессора управления обработкой события. Эта микроЭВМ постепенно заменяется одноплатной 32-разрядной микроЭВМ Robson VME68020.

32-разрядные микроЭВМ представлены эмуляторами универсальных ЭВМ фирмы IBM: 6 микроЭВМ 168E с ОЗУ 1 Мбайт и 6 микроЭВМ 3081E более поздней модели с ОЗУ 3,5 Мбайт. 32-Разрядные микропроцессоры использованы также в уже упомянутой микроЭВМ фирмы Robson.

В качестве основных ЭВМ используются две ЭВМ NORD 100/500 с ОЗУ 2 Мбайт и шестью НМЛ с плотностью записи 6250 бит/дюйм.

Для объединения рассмотренных компонентов системы служат шины, характеристики которых должны обеспечить выполнение задач процессорами.

**Шины.** Рассмотрим шины, используемые в системе (рис. 20). Локальные шины для чтения данных с детектора реализованы в соответствии с внутренним стандартом ЦЕРН — REMUS, а также в виде нестандартных специализированных шин (CTD, STAR) и стандартной шины FASTBUS. Шина REMUS — это параллельная ветвь КАМАК (EUR 4600) с некоторыми упрощениями, предназначена для блочного чтения данных, имеет повышенные пропускную способность и вместимость и пониженную стоимость.

Локальные шины, обеспечивающие связь между процессором и двухпортовым ЗУ в микросистемах параллельного считывания и обработки событий, реализованы по стандарту VMX, являющемуся

предшественником утвержденного в настоящее время стандарта VSB.

Шины VME 1,2,3,4 представляют собой ветви, связывающие крейты VME. Ветвь VME с контроллерами C1 разработана участниками коллаборации UA1 [52]. Локальные шины для передачи данных из микросистем предварительной обработки событий в ЭВМ для дальнейшей обработки событий и их записи на НМЛ, а также шины связи с сетями выполнены в виде специализированных шин.

Перечисленные шины связывают как крейты, так и модули в крейте. Число типов модулей, используемых в системе, сведено к минимуму.

**М о д у л и.** Модули, применяемые в системе сбора данных UA1, доработаны таким образом, что обеспечивается возможность соединения их шиной VMX не только когда они размещены в одном крейте в соответствии со стандартом, но также при размещении их в различных крейтах. Эта возможность используется во всех микросистемах.

Упомянутые ранее одноплатные микроЭВМ и модули ЗУ промышленного изготовления [53], а драйвер ветви REMUS, контроллер ветви VME и сама ветвь, модуль для связи шин VME и VMX по каналу прямого доступа, интерфейс эмулятора 3081E, генератор вектора прерывания и параллельный регистр ввода — вывода разработаны в институтах — участниках коллаборации UA1.

Одноплатная микроЭВМ на основе микропроцессора M68010 включает сопроцессор с плавающей запятой, ЗУ емкостью 256 Кбайт, двухпортовое ЗУ емкостью 8 Кбайт (обращение к ЗУ возможно как со стороны центрального процессора, так и шины VME). МикроЭВМ может выполнять роли ведущего или ведомого на шинах VME и VMX, имеет параллельный порт (разъем) на передней панели для периферийных устройств и последовательный порт по стандарту RS 232 (для связи с ЭВМ и т. п.). Этот модуль заменяется более мощным — на основе 32-разрядного микропроцессора M68020 с двухпортовым ЗУ емкостью 1 Мбайт.

Модуль двухпортового ЗУ имеет емкость 256 Кбайт/1 Мбайт (обращение к ЗУ возможно со стороны шин VME и VMX), длина слова данных 32/16 бит, базовый адрес задается в регистре, реализован режим одновременной записи одной и той же информации в несколько модулей ЗУ по каналу прямого доступа.

По стандарту шина VME, а также шина VMX обеспечивают только однокрейтную конфигурацию. В связи с этим участниками коллаборации UA1 разработаны специализированные модули ветви с целью реализации многокрейтных конфигураций для шин VME и VMX.

Многocreйтная структура на шине VME реализована как ветвь с контроллером крейта C1. Последний способен выполнять в ветви функции как ведомого, так и ведущего. Конструктивно ветвь выполнена на разъемах P2 модуля и может объединять до 16 крейтов, по ней передаются 32-разрядные слова данных.

Только один контроллер может действовать как ведущий в ветви. В рассматриваемой системе для ветвей 1 и 3 это контроллеры в одном крейте с процессорами П1 и П2 соответственно (рис. 20). Обеспечена возможность обращения процессора из крейта с контроллером к любому адресу в ветви и блочная передача данных (скорость до 10 Мбайт/с) между двумя любыми крейтами под управлением контроллера ветви.

Модуль генератора вектора прерывания выдает прерывания на шину VME от 8 входов на передней панели, имеется возможность изменить программно векторы прерывания.

Программирование работы сложной системы с распределенной процессорной мощностью с целью управления ею и контроля компонентов является большой и специфичной задачей. В процессе подготовки эксперимента требуется компилировать программы, загружать их в локальные процессоры, выводить на дисплей промежуточные результаты и сообщения об ошибках. В процессе проведения эксперимента любому пользователю необходимы эффективные, но несложные в обращении интерактивные средства для наблюдения за работой аппаратуры. Рассмотрим, как удовлетворяются эти требования.

*Средства управления, контроля и развития в системе.* Оправданным является выбор разработчиками персональной ЭВМ Macintosh Plus, так как в ней применен микропроцессор M68000. Шина VME, как известно, ориентирована на использование микропроцессоров семейства M680XX. В рассматриваемой системе также используются главным образом микропроцессоры этого же семейства. Применение указанной ПЭВМ обеспечивает унификацию программного обеспечения в системе на уровне АССЕМБЛЕРА, а для общения с системой пользователь получает эффективные графические средства.

Для связи с шинами стандартных интерфейсов разработаны плата, размещаемая в нижней части микроЭВМ, и контроллеры крейтов VME и КАМАК, позволяющие подключить к микроЭВМ до 8 крейтов VME и 7 крейтов КАМАК. Эта система названа MacVEE [44]. Адресное пространство крейтов включается по принципу карты памяти в адресное пространство микроЭВМ, поэтому модули в крейтах могут адресоваться командами микроЭВМ, т. е. не требуются какие-либо дополнительные программы-драйверы. В эксперименте UA1 используются 12 систем MacVEE. Всего к 1986 г. изготовлено более 175 таких систем, стандартизованных в ЦЕРН и используемых в других организациях.

Системы MacVEE применяются для разработки программного обеспечения, для чего используются язык АССЕМБЛЕР микропроцессора M68000 и ФОРТРАН, модифицированный в соответствии с требованиями работы в «реальном времени» (Real Time Fortran).

*Особенности программного обеспечения.* С целью обеспечения разработки программного обеспечения на основе интерактивного редактора текста ПЭВМ Macintosh Plus была написана программа MacSys,



позволяющая редактировать, компилировать и выполнять программы на языках АССЕМБЛЕР и ФОРТРАН, в том числе библиотечные и прикладные программы.

Необычным является отсутствие традиционной операционной системы для управления и координации выполнения задач и обмена сообщениями в системе сбора данных эксперимента. Операционная система как бы встроена аппаратно в электронные модули и структуру их соединений. В целом можно рассматривать всю систему как сеть, в которой каждый элемент начинает выполнять обработку при наличии входных данных и передает обработанные данные на выход. Микросистема считывания по приходу триггера читает и помещает в ЗУ данные от детектора. Затем по запросу любой микросистемы обработки процессор управления обработкой события читает данные из ЗУ микросистемы считывания, формирует событие и записывает в ЗУ микросистемы обработки, выставившей запрос.

Все одноплатные микроЭВМ снабжены резидентным, т. е. размещенным в ПЗУ, монитором, обеспечивающим основные функции: управление устройствами ввода — вывода, прием программ от мини-ЭВМ, отладка программ, обработка прерываний. Все программы написаны в перемещаемом коде, т. е. могут перемещаться в ЗУ и выполняться без обработки редактором связи. Это упрощает загрузку программ из мини-ЭВМ в локальные процессоры. Программное обеспечение включает программы для планировщика чтения, формирования события и микросистем обработки событий.

Программа на языке АССЕМБЛЕР для планировщика чтения опознает все модули, используемые в процессе параллельного чтения данных с детектора, выбирает их для чтения в соответствии с заданной таблицей, по приходу триггера запускает все микросистемы считывания, ожидает завершения чтения, вводит параметры события в таблицу и ожидает следующего события.

Программа на АССЕМБЛЕРЕ для процессора управления обработкой события реализует следующие функции:

а) при подготовке выполняет опознание всех двухпортовых ЗУ в микросистемах обработки, сравнение набора модулей в установке с требуемой конфигурацией, инициализацию указанных модулей, задание таблицы с порядком чтения событий для планировщика чтения, старт микросистем обработки событий, ожидание команды обработки данных с терминала или от мини-ЭВМ;

б) во время чтения данных с детектора принимает запросы от микросистем обработки событий, передает в них полное событие, сообщает планировщику чтения о записи события на магнитную ленту. Каждая микросистема обработки выполняет программу по обработке полного события, написанную на языке ФОРТРАН. Синхронизация с планировщиком чтения данных, т. е. установка параметров буфера, прием одного события, очистка буфера, обеспечивается несколькими дополнительными программами на языке АССЕМБЛЕР.

В заключение этого раздела следует отметить, что получение

в короткий срок уникальных физических результатов свидетельствует о правильности принципов, заложенных в основу системы автоматизации установки, и эффективности ее работы, в том числе и системы сбора данных.

**Система управления ускорителем LEP.** Новые тенденции в автоматизации сложных систем, заключающиеся в переходе к мультипроцессорности и распределенности как принципам организации систем, сформулированы в течение последнего десятилетия и в подходе к управлению ускорителями частиц. В качестве яркой иллюстрации реализации этих принципов на основе стандарта VME рассмотрим систему контроля и управления ускорителем нового поколения.

*Принципы организации.* Ускоритель на встречных пучках ЦЕРН LEP (Large Electron Positron) начал работать в 1989 г. Длина окружности ускорителя составляет 28 км, он размещен в тоннеле под землей на глубине от 60 до 120 м. Оборудование, установленное в тоннеле, доступно для управления из 8 зданий на поверхности, размещенных по кольцу на равном расстоянии друг от друга. Так как в будущем предполагается использовать комплекс ускорителей PS — SPS в качестве инжектора для LEP, было выдвинуто требование совместности систем управления ускорителей SPS и LEP. Система управления ускорителя SPS представляет собой распределенную сеть мини-ЭВМ, что определило структуру системы управления ускорителя LEP и облегчило удовлетворение указанного требования. В результате система управления LEP представляет собой дальнейшее развитие принципов построения системы управления ускорителя SPS на современном уровне технологии [54, 55].

Задача управления ускорителем разделена на подзадачи (по терминологии авторов — «функции»), которые могут быть решены самостоятельно. Каждая подзадача решается микрокомпьютером. Такой метод приводит к архитектуре типа коммуникационной сети, компоненты которой обмениваются информацией в виде сообщений [56]. Сравнительно низкая пропускная способность, свойственная сети, преодолевается такими методами, как параллелизм работы устройств; организация работы группы устройств, при которой интенсивность обмена информацией внутри группы много выше, чем между группами; введение дополнительной линии связи с высокой пропускной способностью.

Так как внутренним стандартом в ЦЕРН в 1982 г. была утверждена шина VME, система управления ускорителя LEP основана на этом стандарте [41]. Постепенно электронная аппаратура в системе управления ускорителя SPS также заменяется электроникой в стандарте VME [43]. Изложенные принципы организации, а также особенности условий разработки системы объясняют отличия системы автоматизации ускорителя LEP от существующих систем.

Разработчики отмечают три основные особенности условий разработки описываемой системы управления в сравнении с существую-

щими: большая протяженность ускорителя, встраивание микропроцессоров непосредственно в оборудование ускорителя и быстрый прогресс электронной техники за время, отведенное для проектирования и реализации системы. Первая особенность приводит к применению сетей, а третья — к применению модульного построения аппаратуры на основе стандартных шин.

Вторая указанная особенность — встраивание микропроцессоров в оборудование — ведет к повышению автономности подсистем и, как следствие, к изменению принципов обмена информацией между подсистемами. Рассмотрим в качестве примера подсистему автоматизации источника питания магнита. На основе микропроцессора можно построить автономную систему контроля и управления его работой, выполняющую также задачи диагностики и тестов. В ЗУ микропроцессора размещается локальная база данных. Поэтому для работы такой системы необходимы только системная управляющая информация, т. е. данные из глобальной базы данных, и тактовый синхросигнал.

На основе микропроцессора может быть реализован интерпретатор команд, что позволяет осуществлять связь с системой в форме сообщений взамен диалога, состоящего из набора команд и ответов на них. Таким образом, встраивание средств контроля и управления в оборудование резко снижает затраты на связь с системой управления, так как необходимы лишь линии передачи сообщений и синхросигнала.

Изложив принципы организации и особенности реализации системы контроля и управления, рассмотрим структуру системы в целом.

*Структурная схема.* Система состоит из 8 подсистем по числу секторов ускорителя (рис. 23) и подсистемы на пульте управления. Каждая подсистема размещается в соответствующем здании. В состав подсистемы входит как аппаратура самого ускорителя, так и аппаратура обеспечения его работы. Аппаратура каждого из этих двух типов связана своей кольцевой локальной сетью. Подсистема представляет собой набор крейтов (или ветвей), каждый из которых специализирован для контроля и управления частью оборудования в секторе ускорителя. Для подсистемы ускорителя это источники питания, датчики пучка, ВЧ-оборудование и т. п. (рис. 23). В зале управления — это пульты управления, средства контроля радиационных условий и т. п.

В локальной сети по кольцу ускорителя применяется протокол, рекомендованный стандартом ISO R.8802.5, в котором описана кольцевая сеть с маркерной передачей данных. Было принято решение сообщения в системе передавать в виде последовательности символов ASCII. Такая форма представления позволяет легко распечатать и распознать сообщение.

В пределах крейта реализуется принцип функциональной модульности. Это означает, что каждый модуль в крейте содержит процессор, память и средства ввода — вывода, достаточные для выполнения функции — автономной задачи в подсистеме (рис. 24). При такой

структуре значительно снижается интенсивность обмена данными между модулями в крейте, так как модули обмениваются только сообщениями для координации задач, выполняемых каждым из них.

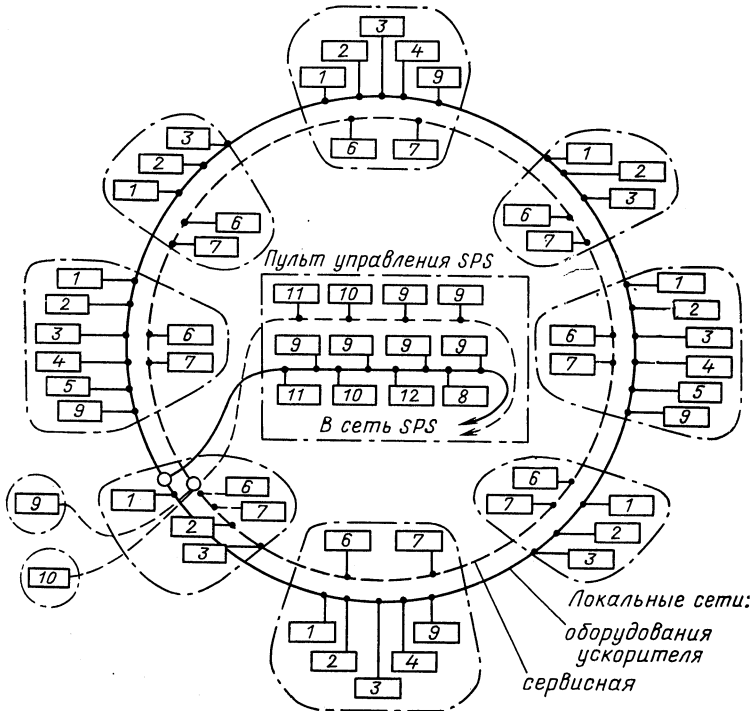


Рис. 23. Структура системы контроля и управления ускорителя LEP:

штрихпунктиром обведено оборудование, размещаемое в отдельном здании; прямоугольник представляет собой крейт VME с управляющими модулями для следующих систем ускорителя: 1 — пучок; 2 — источники питания; 3 — общего назначения; 4 — эксперимент; 5 — ВЧ-оборудование; 6 — сервисные функции; 7 — вакуум; 8 — супермини-ЭВМ для моделирования; 9 — пульт оператора; 10 — подсистема тревоги; 11 — база данных; 12 — индикация изменений

Для подключения датчиков ускорителя используется последовательная шина MIL-STD/1553B, управляемая драйвером из крейта VME.

Что касается пульта оператора, то разработчики сочли нецелесообразным введение каких-либо принципиально новых устройств в сравнении с пультом ускорителя SPS. Пульт управления ускорителем LEP размещается в существующем зале управления ускорителя SPS.

С точки зрения программирования описанная аппаратная структура позволяет разделить общую задачу управления на подзадачи меньшего объема и сложности. Вся задача разделена на восемь более

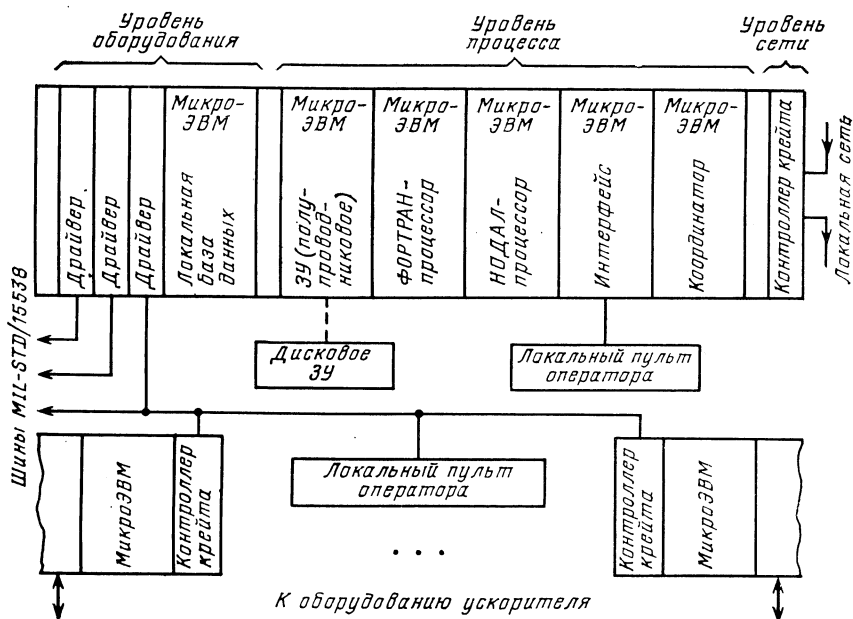


Рис. 24. Структура крейта VME в составе подсистемы контроля и управления ускорителя LEP

мелких задач по числу секторов; в свою очередь, задача в секторе разделена по числу подсистем ускорителя: датчики пучка, ускоряющая система, вакуумное оборудование, источники питания. Модули управления каждой подсистемой размещены в отдельном крейте. Задача в пределах крейта делится на меньшие задачи вследствие применения принципа функциональной модульности. Таким образом, программу для каждого функционального модуля просто написать и отладить, а распределенная операционная система формируется за счет соединения шины крейта необходимых модулей, т. е. функций.

Еще одно следствие описанной аппаратной структуры в том, что логически определенная функция не зависит от способа аппаратной реализации. Следовательно, возможна замена модуля на другой с более мощным микропроцессором при условии, что программное обеспечение может быть повторно использовано. Последнее достигнуто выбором перспективного языка программирования высокого уровня MODULA-2.

Описанные структурные принципы, реализованные на основе конкретного модульного стандарта, вызывают ряд особенностей системы, проявляющихся в процессе реализации.

*Особенности применения шины VME в системе. Модификация стандартной шины VME.* Основное достоинство

применения шины VME в том, что это так называемая открытая система, модули для которой изготавливаются большим числом фирм. Стандарт на шину обновляется международным органом и поддерживается организованной группой пользователей. Эти свойства обеспечат, по-видимому, более долгую жизнь системе контроля и управления и простую модернизацию (например, увеличение длины слова до 32 разрядов в цифровых устройствах системы) в сравнении со специализированной системой.

С точки зрения реализации рассматриваемой системы к недостаткам шины VME следует отнести то, что она обеспечивает эффективную работу нескольких (до 5) процессоров — ведущих в крейте, но не способна обеспечить эффективную работу 20 процессоров в крейте. С целью достижения такой возможности была проведена описываемая ниже модификация стандартной шины. Она выполнена таким образом, чтобы доработанные модули могли работать в одном крейте вместе со стандартными при условии использования специализированного контроллера шины в крейте. Модификация заключалась в добавлении схем распределенного арбитража \* и программируемой системы прерываний, а также локальной шины на разъеме P2 и ветви VME.

Распределенный арбитраж обеспечивает требуемые величины характеристик в системе: минимальное время доступа процессора к шине и поиска неисправного процессора, так как каждый цикл сопровождается кодом приоритета ведущего.

Для организации программируемой системы прерываний введена географическая адресация, аналогичная адресации в стандарте КАМАК: номер крейта, модуля и регистра в модуле. В рамках стандарта VME это можно сделать, используя предусмотренные стандартном резервные коды АМ, которые могут определяться пользователем. Для выполнения прерывания процессор-прерыватель получает доступ к шине, выставляя код приоритета на пяти линиях и дополнительно — сигнал индикации высшего приоритета на шестой линии. Получив доступ к шине, прерыватель записывает 16-разрядный вектор прерывания, сообщая в нем свои номер крейта и станции и код вектора. Все процессоры в крейте имеют ЗУ типа «первый вошел — первый вышел» емкостью 256 16-разрядных слов для приема векторов прерывания. В такой системе каждый процессор может прерывать работу 20 процессоров в крейте и 140 процессоров в ветви, тогда как в соответствии со стандартом VME при той же длительности цикла прерывания он может прерывать только 7 процессоров в крейте.

\* Для реализации механизма распределенного арбитража используются нестандартным образом 6 сквозных линий: 3 линии BR0, BR1, BR2 и 3 линии, получаемых замыканием контактов BGxIN в BGxOUT, где x равен 1, 2, 3 в каждом модуле. Пять линий используются для передачи двоичного кода уровня приоритета от 0 до 31, шестая — для индикации высшего приоритета. Линии BR3, BG3IN, BG3OUT используются в соответствии со стандартом для реализации последовательного арбитража.

Для увеличения производительности микроЭВМ на крайних контактах разъема P2 платы VME (ряды а и с) взамен шины VMX реализована локальная шина микропроцессора M68000, названная разработчиками VMCbus.

Ветвь VME также создана разработчиками системы и может объединять до 7 крейтов, удаленных на расстояние не более 30 м.

Далее рассмотрим основные структурные компоненты системы: модули и шины.

**М о д у л и.** За исключением высокопроизводительной моделирующей ЭВМ на пульте управления все процессоры в системе однотипны. Каждый процессор представляет собой одноплатную микроЭВМ широкого назначения на основе микропроцессоров M68000 (тактовая частота 12,5 МГц) в стандарте VME. Она может «настраиваться» на определенную задачу с помощью программного обеспечения. Подобная задача в стандарте КАМАК могла выполняться лишь специализированным модулем или крейтом. В этой системе одноплатная микроЭВМ выполняет функции следующих модулей: модуля — координатора работы остальных модулей в крейте, интерфейса локального пульта оператора, интерпретатора языков высокого уровня ФОРТРАН и командного языка оператора NODAL, полупроводникового ЗУ, базы данных.

При этом протокол обмена сообщениями между модулями реализуется следующим образом. Часть локальной памяти модуля, выделенная для связи с другими модулями, разделена на блоки объемом 256 слов. К отдельному блоку памяти имеет доступ единственный модуль, к которому этот блок приписан. Таким образом, каждый модуль может обращаться только к постоянно приписанной ему области в каждом другом модуле. Такой способ организации обмена сообщениями обеспечивает эффективную защиту данных.

Занятие ресурсов в крейте (на примере работы с интерфейсом печати) осуществляется следующим образом. В цикле доступа процессора к адресу интерфейса автоматически добавляется байт идентификатора процессора. В случае успешного доступа этот байт загружается в специальный регистр интерфейса, тем самым длина слова адреса последнего с 16 разрядов увеличивается до 24, а доступ к интерфейсу со стороны других модулей блокируется. Только процессор, получивший доступ к интерфейсу, может обращаться к нему и, закончив работу с ним, снять блокировку. Тупиковые ситуации ликвидируются модулем-координатором в крейте.

В системе кроме модулей одноплатной микроЭВМ есть и специализированные модули: контроллеры локальной сети и драйверы шины MIL-1552B, интерфейсы графических дисплеев, пульта оператора и ЭВМ, ЗУ большой емкости и т. п.

**Ш и н ы.** Локальная шина одноплатной микроЭВМ VMCbus может объединить до 6 соседних модулей в крейте VME — ведущих или ведомых на шине VMCbus, причем две платы или более, соединенные этой шиной, ведут себя как один модуль на шине VME. Модули на

шине VMC могут обмениваться данными в режиме прямого доступа к памяти. Отметим, что разработчики отказались от применения шины VMX, так как передача данных и слова данных по одним и тем же линиям последовательно во времени примерно вдвое снижает пропускную способность шины. Любой модуль в крейте VME можно выполнить с возможностью доступа только к шине VME или VMC, или к обеим.

В ветви VME приемники и передатчики на линиях соответствуют стандарту RS-485, а циклы обмена информацией такие же, как на шине VME. 32-Разрядные адрес и данные передаются по одним и тем же линиям последовательно во времени. Модули из любого крейта могут стать ведущими в ветви, приоритет между крейтами реализован по схеме цепочки.

*Характеристики системы.* Стандартная шина VME обеспечила возможность реализации принципа распределения функций, в результате чего система управления приобрела следующие свойства.

1. Архитектура системы позволила упростить разработку сложной системы за счет разделения общей задачи на отдельные, менее сложные задачи по контролю объектов реального времени и управлению ими.

2. В системе обеспечена повышенная пропускная способность при обмене данными по локальным шинам (VMC) каждого процессорного модуля наряду с низкой интенсивностью обмена информацией по шине связи функций (VME).

3. Обеспечена возможность построения специализированных по применению подсистем — модулей с использованием ограниченного числа компонентов: процессоров, памяти и схем ввода — вывода информации, что существенно уменьшает затраты на разработку.

4. Повышение производительности при выполнении какой-либо функции достигается простым увеличением числа соответствующих модулей в крейте (например, несколько модулей-процессоров языка NODAL могут параллельно интерпретировать команды языка высокого уровня).

5. Повышение надежности выполнения какой-либо функции также достигается простым увеличением числа соответствующих модулей в крейте (например, еще один контроллер сети позволяет ввести дополнительную локальную сеть).

6. Архитектура системы позволяет реализовать функцию любым способом: в виде программы в ЗУ ЭВМ, аппаратной программы или аппаратно в зависимости от требований к быстродействию (в перспективе процессор языка высокого уровня может быть реализован на основе специализированного микропроцессора с набором команд, оптимизированным для этого языка). Это свойство позволяет уменьшать затраты на систему.

7. Модули в системе легко заменить на более производительные или модернизированные при условии сохранения в них схем интерфейса шины VME. Функции буквально могут «вставляться» в крейт



или «выниматься» из него, причем это не влияет на операции контроля и управления в системе.

8. Разработанные функции не зависят от типа шины и могут быть использованы на любой другой шине, при этом меняются лишь интерфейсные схемы шины в модуле.

**Системы и модули VME в ОИЯИ.** В комплексе средств автоматизации сверхпроводящего синхротрона СПИН используется подсистема управления циклом ускорителя на основе микроЭВМ MERA-60 [57]. Основными задачами подсистемы являются управление источниками питания магнитов и линз кольца синхротрона, контроль работоспособности источников питания всех магнитных элементов ускорителя по результатам измерения сигналов с их датчиков, а также синхронизация узлов ускорителя.

В однопроцессорном варианте подсистемы отсутствовала возможность оперативных изменений параметров цикла в реальном времени. Это приводило к приостановке генерации циклов ускорителя на время диалога с оператором и последующего расчета таблиц цифровых кодов управления источниками питания, причем длительность мертвого времени подсистемы зависела от скорости работы оператора и значений задаваемых им параметров. Данную проблему не решало использование в микроЭВМ MERA-60 двухзадачного монитора операционной системы реального времени TR11-FB, так как при этом не обеспечивалось требуемое быстродействие подсистемы ввиду относительной сложности расчета таблиц кодов и недостаточной производительности процессора.

Эффективное совмещение во времени всех функций подсистемы могло быть достигнуто только на многопроцессорной основе с разделением задач. С этой целью была использована шина VME.

Структурная схема модернизированного процессорного узла подсистемы управления циклом СПИН приведена на рис. 25. Диалоговое задание параметров и расчет таблиц выполняются персональным компьютером ПРАВЕЦ 16. Связь двух микроЭВМ осуществляется через буферную память на модуле VME, в которую из персонального компьютера передаются расчетные данные. В паузе между циклами ускорителя данные считываются из буфера VME по шине, управляющей микроЭВМ MERA-60, в соответствующую область ее оперативной памяти, чем обеспечивается возобновление цикла уже с новыми амплитудно-временными параметрами работы источников питания магнитных элементов.

Программное обеспечение состоит из двух подпрограмм диалога и расчета таблиц, работающих по ранее отлаженным в микроЭВМ MERA-60 алгоритмам. Программа написана на языке ФОРТРАН, работает под управлением монитора дисковой операционной системы ДОС-16 и занимает 64 Кбайт в оперативной памяти.

В новой системе перестройка режима работы вызывает лишь допустимое удлинение паузы между циклами, при этом мертвое время сокращается в среднем в 300 раз.

Решение задач массовой обработки данных. Обработка событий, полученных в экспериментальной физике элементарных частиц, при использовании традиционных компьютеров производится последовательно. Физические и технологические параметры элементной базы не позволяют, чтобы в обозримом будущем быстродействие традиционной однопроцессорной ЭВМ существенно превысило значение

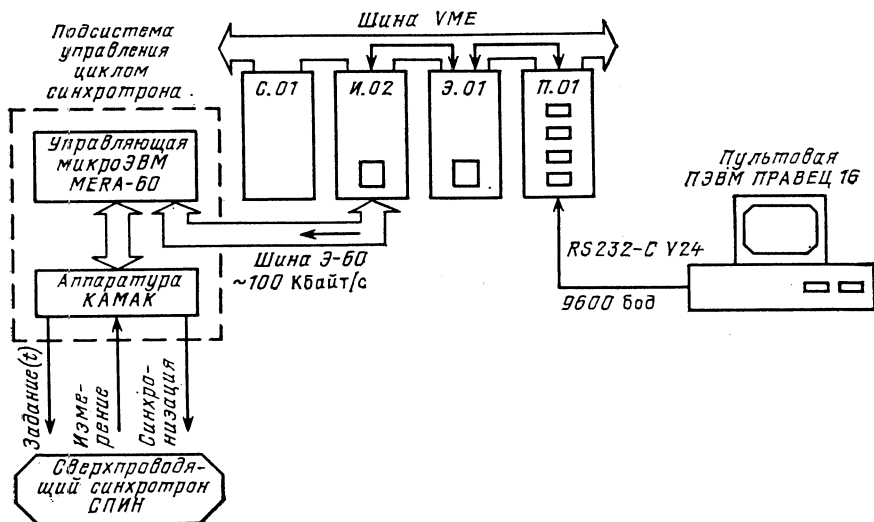


Рис. 25. Структурная схема распределения вычислительных средств в подсистеме управления циклом сверхпроводящего синхротрона на основе шины VME

10 Моп/с, и, следовательно, ограничивают скорость обработки событий. Таким образом, ставится проблема решения задачи обработки данных в области физики элементарных частиц.

Одно из возможных решений заключается в переходе от последовательного принципа обработки событий, зарегистрированных в спектрометрах, к параллельному. События в спектрометрах являются статистически независимыми, поэтому возможен параллельный принцип их обработки во множестве независимых параллельных процессоров. В таком параллельном суперкомпьютере данные о событиях распределяются коммутатором по множеству процессоров, каждый из которых ведет независимый анализ, работая при этом с одинаковым для всех процессоров пакетом программ. Относительно небольшой объем передаваемых данных по сравнению с временем, требуемым для их обработки, позволяет включить в суперкомпьютер десятки и даже сотни процессоров, увеличивая в соответствующее, пропорциональное их количеству, число раз его производительность.

Вычислительная система модульного суперкомпьютера состоит из трех основных частей: набора модульных процессоров, ведущего компьютера с развитой периферией и устройств связи с локальной

сеть. Ведущий компьютер выполняет функции подготовки счетных заданий для модульных процессоров, организует чтение экспериментальной информации, вводимой с магнитофонов или из сети, и последующее распределение ее среди процессоров, принимает и суммирует результаты обработки данных в наборе процессоров. Суперкомпьютер позволит решить такие основные задачи физики элементарных частиц и физики ускорителей, которые допускают достаточно простой и осуществимый алгоритм их разбиения на параллельные однотипные подзадачи, в частности задачи моделирования экспериментов методом Монте-Карло и моделирования ускорителей заряженных частиц.

В качестве примера рассмотрим предлагаемую в ОИЯИ разработку модульного суперкомпьютера, основанного на множестве промышленных 32-разрядных процессоров с производительностью около 1 Моп/с каждый [58]. Объединение процессоров в единый комплекс осуществляется с помощью промышленных шин VME. Работа суперкомпьютера организуется под управлением компьютера типа VAX 730. Ввод и вывод данных осуществляются через периферию управляющего компьютера, матобеспечение системы основывается на языке ФОТРАН 77. Суперкомпьютер может быть подключен к центральному вычислительному комплексу ОИЯИ через порт сети Института, чем обеспечивается доступ к нему всех пользователей.

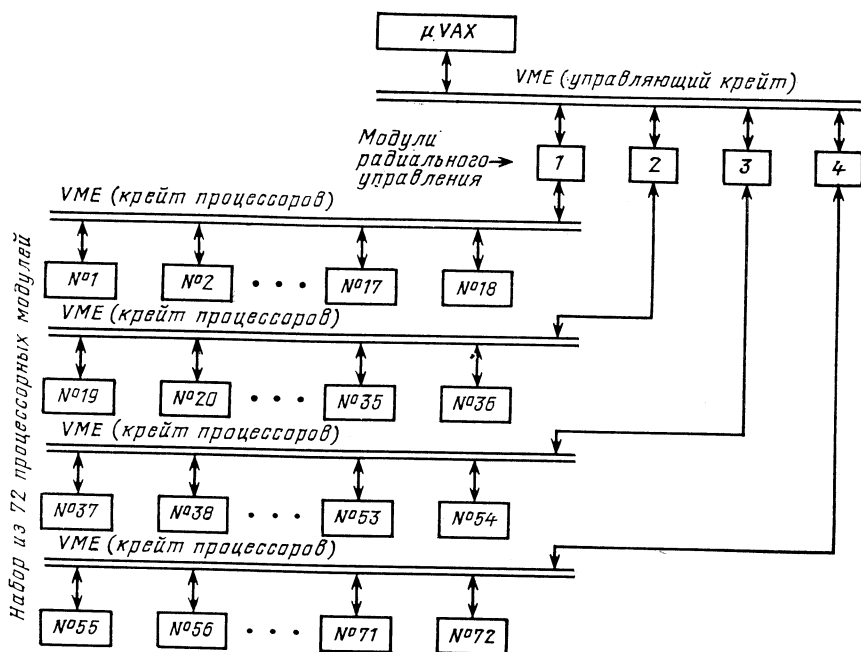


Рис. 26. Структурная схема параллельного модульного суперкомпьютера на основе шин и процессорных плат в стандарте VME

На рис. 26 приведена структурная схема суперкомпьютера, основанная на использовании 72 модульных процессоров, расположенных в четырех крейтах VME; схема предлагается в данном проекте в качестве первого этапа. В каждом из крейтов VME размещается 18 процессоров. Процессорные крейты связаны радиально с управляющим крейтом VME.

Основной процессорный модуль, входящий в состав суперкомпьютера, включает в себя 32-разрядный микропроцессор типа M68020, процессор операций с плавающей запятой типа M68881, схему управления оперативным запоминающим устройством типа M68851, ОЗУ

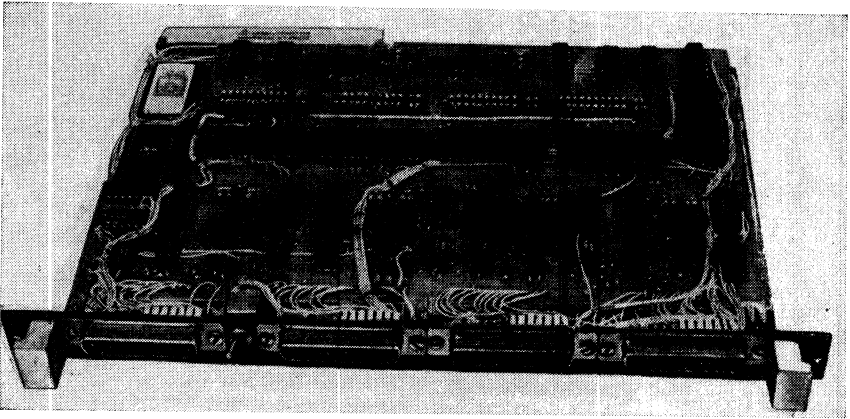


Рис. 27. Процессорный модуль VME

емкостью 8 Мбайт, программируемое ЗУ и схемы интерфейса с шиной VME.

К числу основных компонентов математического обеспечения относятся пакеты взаимодействия процессоров, технологическое матобеспечение, включающее, в частности, транслятор языка ФОРТРАН 77, пакеты прикладных программ общего назначения (CERNLIB, NBOOK, ZBOOK, HPLOT, GEANT и т. д.). Для функционирования суперкомпьютера необходимо создать коммуникационный пакет.

Управляющий компьютер оснащается мультипрограммной многопользовательской операционной системой (VMS или UNIX) и всеми необходимыми программными технологическими средствами разработки математического обеспечения.

Для процессорных модулей достаточно простейшей мониторинжной операционной системы TMS, обеспечивающей ограниченный набор функций, к которым относятся обмен данными с управляющим компьютером, распознавание программных ошибок и средства отладки.

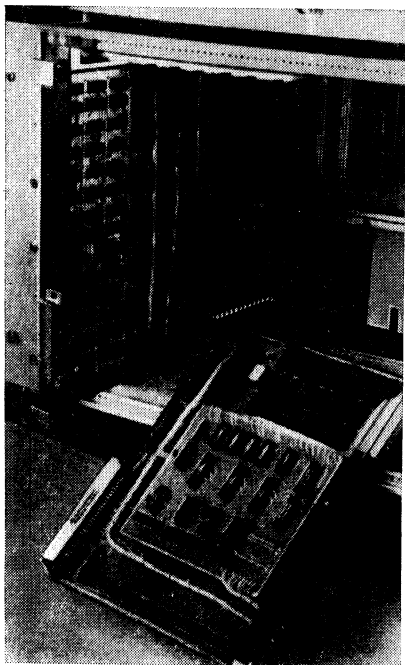


Рис. 28. Двухпортовый модуль ОЗУ емкостью 0,5 Мбайт (на переднем плане) и интерфейс Q-bus

### Модули VME

Для описанных выше систем и для других применений был разработан и разрабатывается ряд модулей VME. В их числе:

С.01 — системный контроллер с арбитратором, терминатором и генератором синхросигналов шины;

П.01 — процессорный модуль на основе микропроцессора Intel 8085 с памятью динамического ОЗУ емкостью 32 Кбайт и ППЗУ емкостью 16 Кбайт, четырьмя каналами ввода — вывода по протоколу RS-232C (рис. 27);

З.01 — двухпортовая память динамического ОЗУ емкостью 512 Кбайт с циклом

0,5 мкс и доступом к памяти с шины и разъема на передней панели (рис. 28);

И.01 — 16-разрядный многоцелевой параллельный регистр типа ведущий — ведомый [59];

И.02 — адаптер шины системного канала Q-bus;

И.03 — интерфейс шины U-bus;

И.04 — интерфейс персонального компьютера ПРАВЕЦ-16 с каналом прямого доступа в ОЗУ;

И.06 — драйвер ветви КАМАК.

### ЗАКЛЮЧЕНИЕ

Выбор стандартного интерфейса, или шины, во многом определяет успех программы автоматизации. Так, удачный выбор шины КАМАК в начале 70-х годов позволил осуществить успешную программу автоматизации в 70—80-е годы. На ближайшие годы шины и модули FASTBUS и VME представляются наиболее целесообразными стандартами для широкого применения. Об актуальности применения шины VME в научных исследованиях свидетельствуют международные конференции «VMEbus in physics», проведенная в ЦЕРН 7—8 октября 1985 г. и «VMEbus in research», проведенная в Цюрихе 11—13 октября 1988 г.

В институтах стран-участниц также ведутся разработки на основе шины VME. Наиболее успешно в этой области работают: в Болгарии Центральная лаборатория автоматизации и научного приборостроения (ЦЛАНП), где разработаны рабочие места научного работника и проектировщика на основе компьютера в крейте VME [60], и в Венгрии Институт вычислительной техники и автоматизации БАН (SZTAKI), где создан набор модулей VME для компьютерной графики и локальных сетей [24]. Определенная программа по шине VME имеется также в Институте ядерных проблем (Сверк, Варшава) [61] и в АН СССР [62]. Новое поколение спектрометров ОИЯИ несомненно будет основано на аппаратуре в стандартах FASTBUS и VME.

## СПИСОК ЛИТЕРАТУРЫ

1. Колпаков И. Ф. Шина VME и ее применение. Препринт ОИЯИ P10-86-345. Дубна, 1989.
2. Gustavson D. B. An Introduction to the FASTBUS. Preprint SLAC-PUB-3844. 1985.
3. FASTBUS Modular High-Speed Acquisition and Control System. ANSI/IEEE Standard 960—1986.
4. LeVine M. J., Watson III W. A., Schmitt H.v.d.e.a.//IEEE Trans. 1987. Vol. NS-34, N 4. P. 830—834.
5. Watson III W. A., LeVine M. J.//IEEE Trans. 1987. Vol. NS-34, N 4. P. 900—903.
6. Status Report on Data Acquisition and Computing — DELPHI Collaboration. Preprint CERN/LEPC 85—7, 1985.
7. Booth A. W., Bowden M., Gonzalez H.e.a.//IEEE Trans. 1987. Vol. NS-34, N 4. P. 790—795.
8. Lankford A. J., Glanzman T.//IEEE Trans. 1984. Vol. NS-31, N 1. P. 225—229.
9. Brafman H., Glanzman T., Lankford A.J.e.a.//IEEE Trans. 1985. Vol. NS-32, N 1. P. 336—340.
10. Othoudt M. A., Amann J. F., Bolton R.D.e.a.//IEEE Trans. 1987. Vol. NS-34, N 4. P. 840—844.
11. Nash T., Areti H., Atac R.e.a.//Proc. of the XXIII Intern. Conf. on High Energy Physics. Berkeley, 1986. P. 1459—1463.
12. Ryugo S., Hagano, Yoshiji Yasu//IEEE Trans. 1985. Vol. NS-32, N 1. P. 309—313.
13. Аверичев С. А., Аверичев Г. С., Анищенко Н. Г. и др. Препринт ОИЯИ P1-85-512. Дубна, 1985.
14. FASTBUS Standard Subroutines. Report DOE/ER-0367. U.S. NIM Committee. 1988.
15. FASTBUS Software Workshop. Preprint CERN 85-15. 1985.
16. VMEbus (IEC.821 BUS), Specification Manual, Rev. C. VME bus Intern. Trade Assoc. Scotsdale, Ariz. 1985.
17. Rosenberg R.//Battle of the buses: and the winner is VMEbus, as Multi-bus-gets off to a slow start. Electronics. 1985. Nov. 25. P. 48—51.
18. Schellekens A. VMEbus Standards//Proc. of VMEbus in Physics Conf., CERN 86-01. 1986. P. 16—31.
19. Larsen R. S. Status of the FASTBUS Standard Data Bus//IEEE Trans. 1981. Vol. NS-28, N 2. P. 322—329.
20. Nissen N. VMEbus Interface Chip Set//Proc. of VMEbus in Physics Conf., CERN 86-01. Geneva, 1986. P. 42—55.
21. Gustawson L., Gallno P. VME Protocol chipset using programmable logic devices//Proc. of VMEbus in Physics Conf., CERN 86-01. Geneva, 1986. P. 54—56.

22. **Mitch Beedie** Focus on VMEbus peripheral boards//Electronics Design. 1985 June 27. P. 157—170.
23. **Жаботинский Ю. Д., Сердцев А. А.** Системы технического зрения для промышленных роботов//Зарубежная радиоэлектроника. 1985. № 12. С. 23—33.
24. **LAN VME Modules.** Sztaki, Budapest, 1985.
25. **Cittolin S., Demoulin M., Giacomelli P.e.a.** UA1 VME Readout System//Proc. of VMEbus in Physics Conf., CERN 86-01. Geneva, 1986. P. 65—118.
26. **Conetti S., Haire M., Kuchela K.** Fast, Microprocessor Driven, Data Acquisition for Fermilab Experiment E-705//IEEE Trans. 1985. Vol. NS-32, N 4. P. 1318—1320.
27. **LeVine M. J.** The E802 Data Acquisition Complex//Ibid. P. 1376—1378.
28. **Vander Molen A., Au R., Fox R., Glynn T.** New Multiprocessor Front End Data Acquisition System at NSCL//Ibid. P. 1395—1396.
29. **Brisson J. C., Farthout Ph., Gandois B.e.a.** The OPAL VMEbus Data Collection System//Proc. of VMEbus in Physics Conf., CERN 86-01. Geneva. 1986. P. 119—134.
30. **Gainer J., Areti H., Beil J.e.a.** Fermilab's Advanced Computer R and D. Program//IEEE Trans. 1985. Vol. NS-32, N 4. P. 1397—1404.
31. **Beier G., Kappen L., Lutter R., Schöffel K.e.a.** MLLE — A Dataflow Controlled Multiprocessor System//Ibid. P. 1426—1428.
32. **Balamuth D. P., Kutt P. H., Bybell D. P., Van Berg R.** A Multiple Processor System for Acquisition and Analysis of Nuclear Physics Data//Ibid. P. 1429—1431.
33. **Ziem P., Drescher B., Kapper K., Kowallik P.** Multiprocessor Aided Data Acquisition at VEDAS//Ibid. P. 1417—1421.
34. **Pietarinen E.** UA1 Data Acquisition System//Ibid. P. 1463—1466.
35. **Eichler R. A.** HERA Data Acquisition System//Ibid. P. 1490—1493.
36. **Parkman C., Perrin Y., Petersen J.e.a.** VALET—PLUS a VMEbus System for Electronic Equipment Tests Using Your Favourite Personal Computer//Proc. of VMEbus in Physics Conf., CERN 86-01. Geneva, 1986. P. 259—268.
37. **Eckerlin G., Elsen E., Schmitt H.v.d. e.a.** Front End Processing for a 100 MHz Flash-ADC-System//Ibid. P. 147—150.
38. **Jääskeläinen M., Carlen L.** Data Acquisition System for Nordball//Ibid. P. 135—146.
39. **Beier G., Kappen L., Lutter R.e.a.** MLLE — a Dataflow Controller Multiprocessor System//Ibid. P. 151—154.
40. **Minor M. M., Shera E. B., Lillberg J. W.** Loss-Free Gamma-Ray Counting on the VMEbus//Ibid. P. 169—173.
41. **Altaber J., Innocenti P. G., Rausch R.** A VME Multiprocessor Architecture for the LEP/SPS Control System//Ibid. P. 216—237.
42. **Gournay J. F., Courey G., Garreau F.e.a.** The New Control System of the Saclay Linear Accelerator//Ibid. P. 305—312.
43. **Martinod P., Mugnai G., Savioz J., Semanaz P.** A VMEbus Approach for the Control of the Closed Orbit Correction Power Supplies within the SPS Supercycle//Ibid. P. 174—189.
44. **Taylor B. G.** Personal Computer Access to the VMEbus//Ibid. P. 249—258.
45. **Alexander J.** A VME Interface to an IBM Mainframe Computer//Ibid. P. 291—296.
46. **Marry B., Moreton A., Smith A.** IBM/VME Channel High Speed Parallel interface//Ibid. P. 243—349.
47. **Eck C.** PRIAM and VMEbus in CERN//Ibid. P. 3—7.
48. **Nash T., Bracker S., Gaines I.** Fermilab's Advanced Computer Program, PN-383, FNAL, Chicago, Ill., 1983.
49. **Рубина К./Усп. физ. наук.** 1985. Т. 147. С. 371.
50. **Cittolin S.** 1986 CERN School of Computing, CERN 87-04, 29 April 1987.
51. **Cittolin S.** UA1 Data Acquisition System//Proc. of the Intern. Conf. on Instrumentation for Colliding Beam Physics, SLAC, Report 250, Stanford, June 1982. P. 151—156.

52. **Pietarinen E.**//Proc. of VMEbus in Physics Conf., CERN 86-01. Geneva, 1986. P. 200.
53. **Engster C., Van Koningsveld L. G.**//Proc. of VMEbus in Physics Conference, CERN 86-01. Geneva, 1986. P. 297.
54. **Crawley-Milling M. C.** 1982 CERN School of Computing, CERN 83-03, 2 May 1983. P. 271.
55. **Crawley-Milling M. C.**//IEEE Trans. 1983. Vol. NS-30, N 4. P. 2142.
56. **Altaber J., Frammery V., Gareyte C.e.a.**//IEEE Trans. 1985. Vol. NS-32, N 1. P. 226.
57. **Базылева Н. П. и др.** Применение шины VME и персонального компьютера «Правец-16» в подсистеме управления циклом сверхпроводящего синхротрона. Краткие сообщения ОИЯИ № 6 (26)-87. Дубна, 1987.
58. **Колпаков И. Ф. и др.** Суперкомпьютер ОИЯИ модульного типа для параллельного анализа событий.//Краткие сообщения ОИЯИ № 2 (22)—87. Дубна, 1987.
59. **Черных Е. В.** Многоцелевой параллельный регистр-интерфейс в стандарте VME//ПТЭ. 1989. № 5. С. 127.
60. **Интерлаб 1600.** Система автоматизации научных исследований. Проспект ЦЛАНП. София, 1984.
61. **Rzymkowski K.** VME — New Modular Standard for Microprocessor Applications//XII Международный симпозиум по ядерной электронике, Д13-85-359. Дубна, 1985. С. 16.
62. **Золотухин Ю. Н.** VMEbus. Концепция и основные характеристики//XII Международный симпозиум по ядерной электронике, Д13-85-359. Дубна, 1985. С. 15.