

ЭЛЕКТРОННЫЙ МОДУЛЬ БЫСТРОГО ТРИГГЕРА ДЛЯ ЭКСПЕРИМЕНТОВ НА ВЫВЕДЕННОМ ПУЧКЕ ЯДЕР НУКЛОТРОНА

*П. Н. Григорьев, Н. А. Лащманов, В. Ю. Рогов, С. А. Седых,
С. В. Сергеев¹, В. И. Юревич*

Объединенный институт ядерных исследований, Дубна

Описаны основные принципы архитектуры и построения электронного модуля выработки сигнала триггера нулевого уровня для экспериментов на фиксированной мишени $BM@N$ и SRC на выведенном пучке ядер нуклотрона ОИЯИ. Логика выработки триггера, включая линии задержек, реализована на программируемой логической интегральной схеме (ПЛИС) Cyclone V. Обсуждается разработанная система управляющих и мониторирующих программ.

The basic principles of the architecture and construction of the electronic module for generating a zero-level trigger signal for fixed target experiments $BM@N$ and SRC on an extracted beam of nuclei from the Nuclotron JINR are described. The trigger generation logic, including delay lines, is implemented on the Cyclone V FPGA. The developed system of control and monitoring programs is discussed.

PACS: 07.05.Dz; 07.05.Hd; 29.20.dk

ВВЕДЕНИЕ

Современные экспериментальные установки на базе ускорителей состоят из большого числа различных детекторов и при этом обладают высоким быстродействием, позволяющим работать на выведенных пучках тяжелых ионов с высокой интенсивностью. Важной задачей в таких экспериментах является быстрая идентификация искомых событий взаимодействия ионов пучка в мишени для выработки триггера, инициирующего запись информации с детекторов установки.

В настоящей статье описан опыт создания быстрого триггера для экспериментов $BM@N$ [1] и SRC [2] на выведенном пучке ядер ускорителя нуклотрон ОИЯИ на базе разработанного специализированного модуля триггера нулевого уровня, Trigger 0-level Unit (TOU).

КОНЦЕПЦИЯ ЭЛЕКТРОНИКИ ТРИГГЕРА

Модуль триггера нулевого уровня TOU построен на ПЛИС (FPGA) серии 5CGXBC5C6F27G7N (Cyclone V) [3]. Тактовая частота ПЛИС была выбрана 100 МГц. Внешний и внутренний вид модуля показан на рис. 1.

¹E-mail: sergeev@jinr.ru

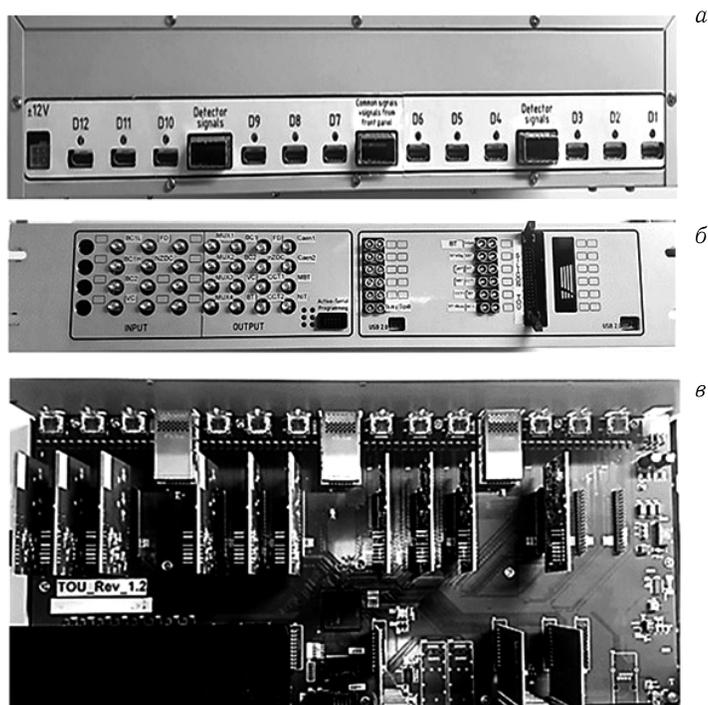


Рис. 1. Фото электронного модуля TOU: а) панель входов через HDMI-разъемы и выходов через MOLEX-разъемы для LVDS-импульсов; б) панель с разъемами для ввода аналоговых импульсов детекторов, выходных сигналов модуля и коммуникации с электроникой системы сбора данных и управления; в) внутренний вид модуля

В связи с тем, что требуется хорошее временное разрешение триггера, кабели, идущие от детекторов, расположенных на пучке установки, к модулю TOU, должны иметь минимальную длину, что автоматически приводит к требованию размещения TOU в непосредственной близости к пучку в закрытой зоне канала. Поэтому все настройки схем совпадения, линий задержек и порогов дискриминатора, а также просмотр счетов в каналах детекторов и схем совпадения должны выполняться удаленно с использованием графического пользовательского интерфейса.

TOU может обрабатывать следующие входные сигналы:

- до 60 сигналов с модулей накамерной электроники с уровнями сигнала LVDS, приходящих в TOU по 12 кабелям HDMI;
- до 16 сигналов от детекторов с аналоговым выходом;
- до 48 цифровых сигналов уровня TTL 50 Ом.

TOU имеет модульную структуру, в состав которой входят материнская плата и набор периферийных плат. Материнская плата выполняет следующие функции:

- разветвление входных сигналов LVDS 1 в 2, при этом один сигнал идет на обработку в модуле, а другой на выходной разъем для дальнейшей оцифровки на прецизионном преобразователе время-код (multi-hit TDC) TDC72VL производства ЛФВЭ ОИЯИ [4];

- выработка триггера;
- управление периферийными платами за исключением модулей питания;
- обмен с управляющими программами.

В состав периферийных модулей входит широкий набор устройств, позволяющий легко подстраиваться под нужды эксперимента:

- PSB — модуль для питания FE-электроники. Этот модуль вырабатывает три уровня напряжения, включающие два регулируемых канала с током до 150 мА в диапазоне от +4 до +8 В с шагом регулировки около 1 мВ и канал фиксированного напряжения — 7,3 В с током до 100 мА. Всего на материнской плате может быть размещено до 12 таких плат по количеству подключенных кабелей HDMI. Для выполнения функций по управлению источниками питания, минуя ПЛИС, на плате PSB установлен микроконтроллер серии STM32F103.

- DIB — входной четырехканальный модуль дискриминаторов, построенный на микросхеме ADCMP561 с эквивалентной полосой частот 1,5 ГГц и задержкой распространения сигнала 700 пс. Диапазон уровней дискриминации составляет от –1 до +2,5 В, благодаря чему DIB позволяет работать как с отрицательными, так и с положительными аналоговыми сигналами. Уровень дискриминации управляется 12-битным ЦАП.

- TNB — четырехканальный выходной модуль преобразования выходных сигналов ПЛИС в сигнал NIM, полоса частот модуля — 300 МГц.

- TTB — четырехканальный выходной модуль преобразования выходных сигналов ПЛИС в сигнал TTL 50 Ом.

- TLOB12 — 12-канальный выходной модуль преобразования выходных сигналов ПЛИС в сигнал LVDS.

- TTOB12 — 12-канальный выходной модуль преобразования выходных сигналов ПЛИС в сигнал TTL 50 Ом.

- TTIB12 — 12-канальный входной модуль преобразования уровня входных сигналов TTL 50 Ом во входные сигналы ПЛИС. Всего на материнской плате имеется 4 слота для установки TLB16, TTOB12 или TTIB12.

TOU может принимать и обрабатывать сигналы с 12 внешних модулей камерной электроники, установленных на сцинтилляционных и черенковских счетчиках, состоящей из предусилителя и дискриминатора-формирователя сигнала. Питание этой электроники осуществляется упомянутыми ранее PBS, причем порог дискриминации может быть подстроен изменением одного из положительных напряжений питания.

Как уже отмечалось, все входные сигналы с детекторов, подключаемых к TOU, разветвляются в два канала. В качестве микросхемы разветвления сигналов выбрана SY58608U. Она имеет полосу пропускания до 3 ГГц, задержку распространения сигнала не хуже 400 пс и джиттер менее 1 пс. Все входные сигналы с детекторов для подачи на TDC и для формирования триггера имеют одинаковую длину на печатной плате и одинаковую временную задержку.

В качестве источника питания ПЛИС и периферийных модулей используется преобразователь напряжения DC/DC на четырехканальной микросхеме LTM4644 с входного напряжения 12 В в несколько различных вторичных напряжений питания с током до 4 А на канал.

Обмен с внешним миром TOU осуществляет по линии USB, при этом используется преобразователь USB в виртуальный com-порт типа FTDI FT232RL, установленный

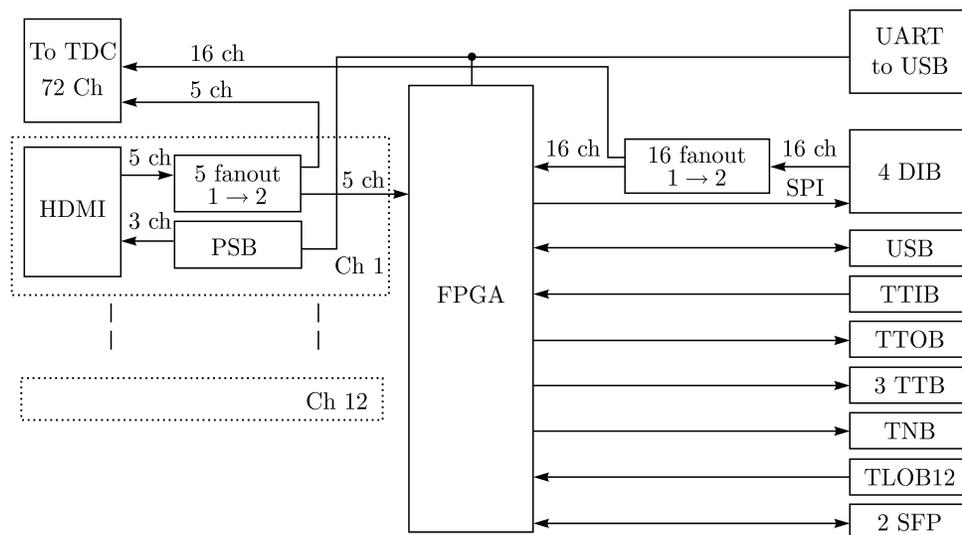


Рис. 2. Структурная схема модуля TOU

на материнской плате TOU. Всего имеется два таких канала, причем один канал является двунаправленным и используется для собственно управления TOU, а второй только для получения счетов в счетных каналах TOU в реальном режиме времени с частотой 100 Гц. Скорость обмена по обоим каналам составляет 115 200 бод.

Структурная схема модуля TOU представлена на рис. 2.

ЛОГИКА ВЫРАБОТКИ ТРИГГЕРА

Логика выработки триггера описана на примере эксперимента VM@N. По требованиям эксперимента TOU должен вырабатывать несколько типов триггеров, которые уже в системе сбора данных выбираются с задаваемым коэффициентом деления. В состав этих триггеров входят:

- пучковый триггер (beam trigger, BT), который сигнализирует о том, что пучковая частица дошла до мишени;
- два сигнала триггера центрального взаимодействия (Central Collision Trigger, CCT1 и CCT2), генерируемые для разных множественностей вторичных частиц;
- сигнал триггера событий с минимальным порогом (Minimum Biased Trigger, MBT);
- сигнал прохождения без взаимодействия (Non-Interaction Trigger, NIT).

Для выделения событий указанного типа, как уже отмечалось, используются следующие детекторы:

- Пучковые счетчики BC1 и BC2 (Beam Counter1 и Beam Counter2), гарантирующие прохождение пучковой частицы по оси пучка, а также VC (Veto Counter), подавляющий частицы, сопровождающие пучковую, и также частицы, проходящие параллельно оси пучка с возможным попаданием в мишень.
- Детекторы, регистрирующие вторичные частицы с большим поперечным импульсом. К ним относятся: BD (Barrel Detector) [5], состоящий из 40 сцинтилляторов,

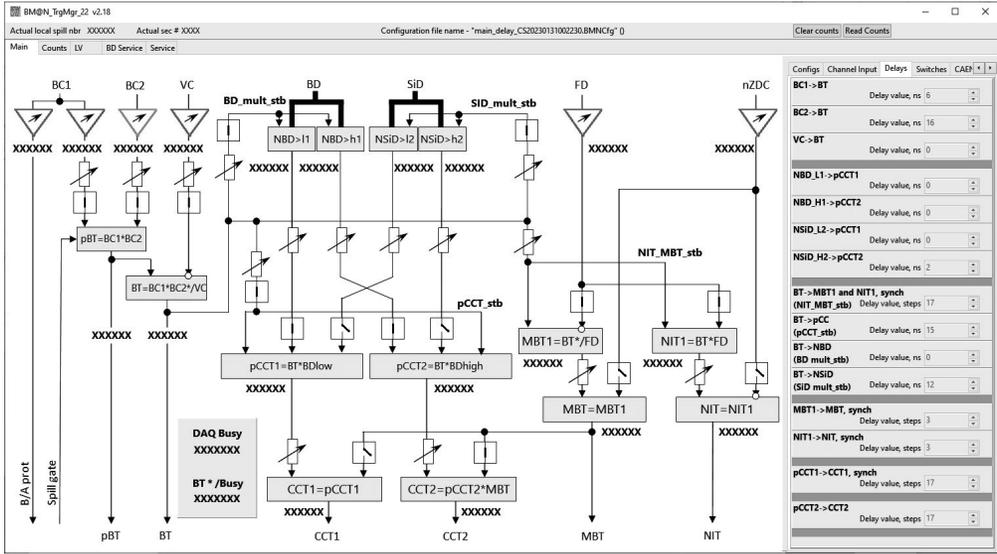


Рис. 3. Общая схема логики выработки триггера эксперимента VM@N

расположенных вокруг мишени, и SiD (Silicon Detector) [6], имеющий 64 радиальных стрипа, расположенных сразу за мишенью.

- Детекторы, регистрирующие частицы, проходящие через мишень без взаимодействия, — FD (Forward Detector), расположенный в нескольких метрах за мишенью на продолжении линии пучка, и nZDC (neutron Zero Degree Calorimeter) для регистрации вторичных нейтронов.

На рис. 3 показано окно приложения BMN_TrgMgr (см. ниже), предназначенное для настройки и мониторинга ТОН, на котором расположена интерактивная схема триггера.

Во время приема данных на месте текста XXXXXX программа показывает счета в каналах ТОН внутри ПЛИС (FPGA).

Каналы обработки сигналов быстрых детекторов BC1, BC2 и VC содержат управляемые входные дискриминаторы и асинхронные (по отношению к тактовой частоте ПЛИС) линии задержки для выравнивания времени прихода импульсов на схему совпадения выработки ВТ. Длительность выходных сигналов этих каналов невелика и составляет несколько десятков наносекунд, поэтому формирователи этих сигналов также построены с использованием асинхронных линий задержки.

Импульсы с детекторов FD и nZDC подаются по длинному кабелю и имеют большую задержку по отношению к более быстрым сигналам от пучковых счетчиков и детекторов мишени. Поэтому входные каналы этих сигналов не имеют линий задержек, а линии задержки более быстрых сигналов, входящих в совпадение с сигналами FD и nZDC в триггерной логике, построены уже по синхронной схеме.

Детектор BD подключается непосредственно к ТОН, и логика обработки сигналов должна вычислить множественность сработавших каналов и сравнить с задаваемыми значениями на цифровых компараторах. Выходные сигналы уже могут быть задержаны на управляемых асинхронных линиях задержки для совпадения с ВТ.

Детектор SiD подключается к TOU через блок логики SiU (Silicon Unit), построенный на аппаратной платформе TOU, но имеющий другую «прошивку» конфигурационной памяти ПЛИС. Выходной сигнал этого блока содержит уже двоичный код количества сработавших стрипов. TOU выполняет сравнение количества сработавших стрипов с предварительно заданными величинами. Для синхронизации работы обоих блоков TOU передает в SiU некоторые дополнительные синхронизирующие сигналы.

Для настройки триггера и проверки работы аппаратуры в логике триггера предусматривается возможность исключать из схем совпадения те или иные сигналы.

Выходные сигналы разных типов триггера имеют длительность около 40 нс, причем передний фронт сигнала жестко привязан к времени срабатывания триггерной логики, а задний имеет неопределенность ± 5 нс, так как формователи этих сигналов построены на синхронных задержках.

Задержка прохождения сигнала через логику TOU для самого быстрого сигнала с линией задержки, выставленной на минимум, составляет менее 10 нс.

Логика работы ПЛИС TOU написана с использованием языка Verilog в системе проектирования Quartus Prime V20.1 Lite Edition. При проектировании использовался принцип модульности. При незначительном изменении функционала модуля изменения задавались в виде параметров, при более значительном — разрабатывался новый модуль на основе базового.

Основные принципы, использованные при разработке логики TOU, описаны на примере модуля обработки аналогового сигнала.

БАЗОВЫЙ МОДУЛЬ КАНАЛА ОБРАБОТКИ СИГНАЛА

Схема базового модуля канала обработки сигнала TChannel показана на рис. 4.

В его состав входят:

- Дискриминатор уровня сигнала, расположенный на периферийной плате DIB.

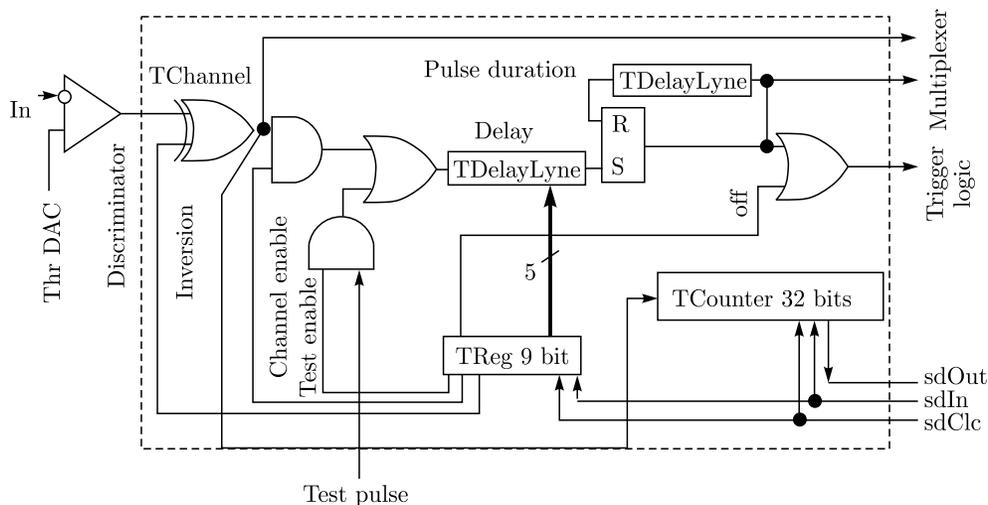


Рис. 4. Схема канала обработки сигнала TChannel

- Схема исключающего ИЛИ для возможности выбора полярности входного сигнала.
- Схема разрешения обработки входного сигнала.
- Схема подмешивания тестового сигнала для отладки системы. Тестовый сигнал имеет длительность 10 нс при частоте 1 кГц.
- Настраиваемая асинхронная линия задержки TDelayLine с диапазоном 0,5–45 нс. Линия управляется от регистра управления (см. ниже) и использует 5 бит для задания величины задержки.
- RS-триггер формирователя выходного импульса.
- Фиксированная линия задержки TDelayLine с предварительно заданной величиной задержки для VC1, VC2 и VC. Эта величина задается в виде параметра модуля TChannel.
- Выходной каскад «выключения» сигнала из последующей логики. Если сигнал не должен участвовать в совпадении, то на выход подается постоянный уровень логической единицы. Для канала счетчика VC для выключения его из логики триггера подается логический ноль. Режим канала совпадение/антисовпадение задается параметром модуля TCounter.
- Счетчик входных импульсов на 32 разряда TCounter.
- Регистр управления TReg длиной 9 разрядов. Как уже отмечалось, 5 разрядов используются для задания длительности задержки сигнала, а остальные 4 — для установки режима работы канала.
- Блок логики обмена с командным процессором TOU.

АСИНХРОННАЯ ЛИНИЯ ЗАДЕРЖКИ

Для настройки совпадения импульсов на схемах совпадения используются настраиваемые линии задержки. В связи с тем, что при выработке сигналов VT, CСТ1 и CСТ2 не допускается какая-либо неопределенность во времени прихода сигналов на схему совпадения (jitter), применение обычной синхронной схемотехники ПЛИС невозможно, и необходимо использовать схемные решения, не связанные с тактовой частотой ПЛИС, т. е. асинхронные цепи. Для построения такой задержки была выбрана методика использования задержки прохождения сигнала через элементы логики.

Следует отметить, что производитель ПЛИС не рекомендует подобный подход, поскольку время прохождения сигнала через элементы зависит от температуры кристалла ПЛИС, которая, в свою очередь, зависит от температуры окружающей среды, а также может несколько отличаться в разных экземплярах микросхем из-за отклонений в технологическом процессе их производства.

В нашем случае эти факторы не являются значимыми, так как температура на установке в течение сеанса набора данных практически не меняется, а само устройство TOU является уникальным изделием в единственном экземпляре и в любом случае настраивается перед началом работы.

Базовым элементом асинхронной линии задержки является D-триггер, имеющий задержку прохождения около 0,75 нс. Для уменьшения аппаратных затрат на реализацию линии задержки использовалась схема, ориентированная на структуру базово-

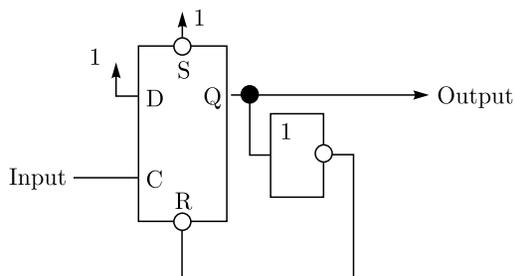


Рис. 5. Базовый элемент асинхронной линии задержки

го логического элемента Cyclone V (ALM — Adaptive Logical Module), схема базового элемента задержки приведена на рис. 5.

Для реализации этой схемы на ALM использовались низкоуровневые примитивы описания D-триггера `dff`, реализация элемента на Verilog следующая:

```
dff d1(.d(1'b1), .clk(input), .clrn(~output), .prn(1'b1), .q(output)).
```

При настройке совпадения величина шага 0,75 нс является избыточной, поэтому при построении элемента линии задержки были задействованы по 2 базовых элемента, включенных последовательно, что давало шаг настройки линии задержки в 1,5 нс.

В асинхронной линии задержки имеются группы элементов, содержащие 1, 2, 4, 8 и 16 элементов, и в зависимости от 5-битного управляющего кода сигнал проходит либо через группу, которая осуществляет задержку сигнала, либо минует эту группу.

СЧЕТЧИК ВХОДНЫХ ИМПУЛЬСОВ

Счетчик входных импульсов TCounter состоит из 32-битного счетчика и регистра считывания. При приходе команды считывания счетчика в регистр считывания параллельным переносом записывается содержимое счетчика, и далее по сигналам командного процессора T0U происходит последовательное побитное считывание данных счетчика, зафиксированных в момент прихода команды считывания. Всего в схеме T0U используется около 130 счетчиков TCounter.

РЕГИСТР УПРАВЛЕНИЯ

Регистр управления TReg предназначен для хранения управляющего кода для различных блоков и может иметь разрядность до 16 бит. Если требуется число, меньшее 16 бит, то используются только старшие разряды. Подобное поведение регистра связано с тем, что при записи в регистр всегда передается 16 бит при выполнении сдвига вправо, и если какие-либо биты не нужны, то эти биты теряются. Например, в модуле канала обработки сигнала требуется 9 бит, а младшие 7 бит на аппаратном уровне не реализованы и игнорируются.

БЛОК ВЫЧИСЛЕНИЯ МНОЖЕСТВЕННОСТИ СИГНАЛОВ

Одним из значимых критериев выделения исследуемой ядерной реакции является множественность вторичных частиц с большим поперечным импульсом, которая должна превышать задаваемую пороговую величину. Для выполнения этого действия используется блок вычисления множественности (БВМ) с последующим цифровым дискриминатором.

БВМ принимает позиционный код с 40 каналов ВД и генерирует 6-разрядный двоичный код, содержащий количество сработавших каналов ВД. Этот код может иметь значения от 0 до 40.

БВМ имеет несколько каскадов. В первом каскаде выполняется преобразование 3-битного позиционного кода в 2-битный двоичный код. Для экономии аппаратных ресурсов этот алгоритм реализован на низком уровне с заданием содержимого look-up-table ALM с помощью примитивов lut_input/lut_output. Всего используется 16 таких элементов для обработки 40 входных сигналов (рис. 6).

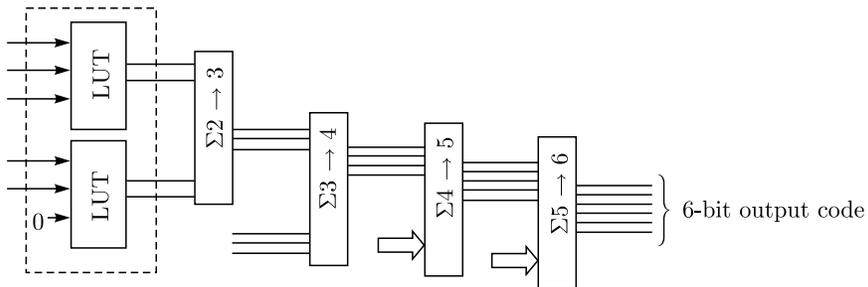


Рис. 6. Схема блока вычисления множественности

В последующих каскадах выполняется суммирование двоичных кодов значений множественности сигналов, получаемых из предыдущих каскадов.

Время выработки значения множественности в БВМ составляет около 3 нс. Следует отметить, что эта схема также является асинхронной и из-за неодновременного прихода входных сигналов на выходе БВМ присутствует комбинаторный шум. Поэтому выходной сигнал цифрового дискриминатора включается в совпадение с задержанным сигналом пучкового триггера ВТ.

В системе триггерной логики используются 2 порога множественности для выработки разных типов триггеров. Значения порогов дискриминации содержатся в 6-битных регистрах TReg.

МУЛЬТИПЛЕКСОР СИГНАЛОВ

При настройке логики триггера требуется подстраивать задержки сигналов так, чтобы они совпадали во времени на схемах логики. Из-за того, что ТОУ находится в экспериментальной зоне, доступ в которую во время работы установки закрыт, было принято решение выводить наиболее важные сигналы из внутренней части схемы триггера на 4-канальный осциллограф, расположенный вне экспериментальной зоны.

Соответственно было использовано 4 линии, каждая из которых может быть подключена к 16 точкам схемы выработки триггера. Адрес выбираемой точки для каждой линии задавался индивидуально с управляющего ПК.

Благодаря возможности управлять логикой работы TOU удаленно мы имели возможность последовательно настраивать каскады TOU в начале работы, а также визуально мониторить основные сигналы логики триггера во время набора данных.

ЛОГИКА ОБМЕНА С КОМАНДНЫМИ ПРОЦЕССОРАМИ TOU

Как уже отмечалось ранее, TOU использует два канала обмена информацией с внешними системами. Первый из этих каналов является управляющим для TOU и используется как для загрузки параметров в TOU, так и для считывания суммарной информации по окончании растяжки пучка, этот канал является двунаправленным. Второй канал является чисто информационным и используется для считывания восьми наиболее важных счетов в каналах TOU в реальном режиме времени с частотой 100 Гц. Этот канал TOU однонаправленный и постоянно передает поток данных в ПК.

Оба эти канала используют каждый свой командный процессор.

Для экономии ресурсов ПЛИС был разработан собственный последовательный протокол обмена между командным процессором и управляемыми или считываемыми узлами TOU. Этот протокол является гибридом протоколов I2C и SPI и главные его особенности — в том, что командный процессор всегда ведущий, а также используются отдельные линии передачи данных ведущий–ведомый и ведомый–ведущий (аналог сигналов MOSI и MISO для SPI), при этом сигналы ведомый–ведущий от всех адресуемых узлов собираются по схеме «логического И».

Этот протокол позволяет резко сократить расходование ресурсов ПЛИС на линии соединения по сравнению с «чистыми» протоколами SPI или I2C и, соответственно, сильно сократить время компиляции проекта.

Для записи данных в узлы длина пакета команды составляет 3 байта <comd><Data high byte><Data low byte>, для чтения данных из узла используется команда длиной 5 байт <comd><0><0><0><0>. Команда <comd> в младших битах содержит адрес узла, старший бит, равный 1, означает команду записи, 0 — чтения. Частота тактового сигнала обмена была выбрана 10 МГц.

В связи с тем, что ПЛИС на магистрали платы TOU является не единственным узлом, для обмена с внешним миром управляющий командный процессор использует другой формат пакета данных

```
<node><command><data block lng> [<first data byte>...
                                     <last data byte>]<CS>,
```

где <node> — адрес адресуемого узла; <command> — это <comd> из команды командного процессора; <data block lng> — длина блока данных; <first data byte>... <last data byte> — собственно блок данных и <CS> — контрольная сумма, которая является дополнением до 0 суммы всех предыдущих байтов команды. Командный процессор на такую команду отвечает посылкой в аналогичном формате за исключением того, что в трех старших битах <node> содержится информация об ошибке, если таковая имела место.

Информационный командный процессор работает в автоматическом режиме только на передачу данных. Он выполняет считывание дополнительных восьми 32-разрядных счетчиков с частотой 100 Гц и передает данные в двоичном формате. Для опознания начала пакета в пакет включается 4-байтовый заголовок с предопределенным значением, появление которого в обычных счетчиках маловероятно. В заголовок также включается флаг вывода пучка из ускорителя (spill gate).

Данные этого канала предназначены для построения картинки счетов в графическом режиме во время вывода пучка, и возможный сбой синхронизации приема пакетов с последующей повторной синхронизацией не привносит заметных проблем.

ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ

Для управления работой T0U и для отображения текущей информации о состоянии пучка и триггерной системы установки BM@N был разработан комплекс программ, работающих совместно. В комплекс входят:

- менеджер T0U;
- программа приема и графического отображения счетов в важнейших точках триггерной логики в реальном режиме времени, также выполняющая функции сервера передачи этих данных клиентам (приложение SpillWievServer);
- клиент отображения информации о счетах также в графическом виде. Одновременно могло работать несколько клиентов на различных ПК (приложение SpillWievClient). В настоящий момент SpillWievClient разработан только для ОС Windows;
- web-сервер, позволяющий просматривать состояние триггерной системы установки на любом ПК внутренней сети института.

МЕНЕДЖЕР T0U

Менеджер T0U (приложение BMN_TrgMgr) является основной программой, управляющей работой триггерной системы. В связи с тем, что T0U является весьма сложным устройством с десятками настраиваемых параметров, BMN_TrgMgr использует графический пользовательский интерфейс (graphical user interface, GUI). Основное окно настройки и мониторинга триггера показано на рис. 3.

Для удобства мониторинга во время приема данных на месте текста XXXXXX программа отображает счета в каналах T0U внутри ПЛИС (FPGA) за время растяжки пучка.

Поскольку отобразить все узлы триггерной системы на одном экране дисплея невозможно, то BMN_TrgMgr использует несколько вкладок, ориентированных на независимые разделы триггерной системы. Сюда входят собственно схема триггера, число отсчетов за время растяжки пучка, вкладка управления блоками низковольтного питания, информация по работе ВД, включая распределение чисел отсчетов по каналам в виде круговой гистограммы и гистограммы множественности сработавших каналов, и сервисная страница, предназначенная для настройки работы BMN_TrgMgr (номер последовательного порта, расположение различных служебных папок и т. д.).

Для того чтобы суммарные данные, полученные за время растяжки пучка, могли быть доступны и другим приложениям, используемым в эксперименте, эти данные копируются в именованную общую память ПК (named shared memory), а также могут быть записаны в файл, например, на сетевой диск. Расположение такого файла задается на сервисной вкладке.

Синхронизация получения новых данных с внешними приложениями, работающими на том же ПК, осуществляется с помощью «именованного события» (named event).

VMN_TrgMgг позволяет поддерживать библиотеку возможных конфигураций триггера, которая представляет собой текстовый файл с древовидной структурой. Имя файла конфигурации состоит из корня имени и добавленной метки времени, когда этот файл был записан в библиотеку. Выбор конфигурации для загрузки в ТОУ из библиотеки может быть осуществлен как по корню имени (и в этом случае будет выбрана последняя по времени конфигурация), так и по полному названию файла. VMN_TrgMgг позволяет просмотреть дерево конфигураций в библиотеке, построенное по корню имени, а также содержимое выбранной конфигурации перед ее возможной загрузкой. При записи текущей конфигурации в библиотеку всегда генерируется полное имя, что предотвращает возможность стирания содержимого ранее использовавшейся конфигурации. Для сохранения архива конфигураций уничтожение конфигурации возможно только с использованием средств операционной системы.

Приложение было разработано с применением визуальной интегрированной среды разработки (IDE) Lazarus [7] под ОС Windows и с незначительными переделками может быть портировано под ОС Linux.

ГРАФИЧЕСКИЙ ИНТЕРФЕЙС КОНТРОЛЯ ПУЧКА

Как уже отмечалось ранее, для получения «живой» информации числа отсчетов во время вывода пучка используются приложения SpillWievServer и SpillWievClent.

SpillWievServer является TCP/IP-сервером, передающим всем подключенным клиентам текущее значение чисел отсчетов в восьми каналах с частотой 100 Гц. Также эта программа в своем окне строит график в реальном режиме времени, а по окончании растяжки пучка записывает его в файл графического изображения в формате jpeg. Этот график также записывается в именованную общую память и, таким образом, становится доступным другим приложениям, работающим на том же ПК.

Общее количество подключаемых клиентов на сегодня ограничено шестнадцатью. Как показала практика, обычно в течение сеанса работает 2–3 клиента. Длина блока полезных данных пересылаемого пакета от сервера к клиенту составляет менее 40 байт.

SpillWievClent является TCP/IP-клиентом и предназначен только для отображения графической информации в рабочем режиме времени.

Для построения TCP/IP-сервера и клиента использовалась библиотека Winsock от Microsoft. В качестве визуальной интегрированной среды разработки по историческим причинам и для обеспечения совместимости с 32-битной библиотекой Winsock.dll использовалась IDE Delphi 2007.

WEB-СЕРВЕР

Для того чтобы любой участник эксперимента вне зависимости от используемой ОС мог получать удобный доступ к информации о текущем состоянии эксперимента и TOU, был разработан специализированный web-сервер `TMGR_Web_Server`.

Этот сервер использует данные, которые размещает в общей памяти приложение `BMN_TrgMgr`, и берет картинку счетов за время растяжки пучка из общей памяти `SpillWievServer`. Для синхронизации web-сервера с менеджером TOU используется именованное событие, описанное ранее. При http-запросе сервер также может передавать клиенту файлы, находящиеся в папке `docs`, расположение которой может быть настроено на главном окне `TMGR_Web_Server`. Также имеется возможность задавать номер порта сервера, в нашем случае для исключения приема запросов от роботов-поисковиков он устанавливался равным 8080.

Для формирования web-страницы и ее постоянного обновления используется технология AJAX. При первом обращении браузер получает по http-запросу файл `index.html`, содержащий шаблон страницы. После получения шаблона страница запрашивает пакет данных для заполнения таблиц, расположенных на странице, и выполняет загрузку картинки счетов за время растяжки пучка. После первичной загрузки данных и отображения страницы в первый раз запускается javascript, который начинает раз в секунду запрашивать сервер, не появились ли новые данные, а после появления этих данных запускает обновление содержимого таблиц и картинки страницы.

Для блокирования повторного использования браузером принятых ранее данных в запрос от страницы добавляется порядковый номер запроса, который сервером никак не обрабатывается, однако браузер уже не может использовать старые данные. Это было сделано потому, что разные версии браузеров от разных разработчиков требуют разные программные последовательности javascript для блокирования повторного использования накопленных данных. Благодаря подобному подходу не требуется постоянных обновлений кода страницы при появлении нового браузера или новой версии html.

Web-страница TOU была отлажена для наиболее часто используемых браузеров IE, Edge, Chromium и Opera.

Сервер был разработан с использованием Delphi 2007 и пакета WinSock.

ЗАКЛЮЧЕНИЕ

Как показал опыт использования TOU в экспериментах `BM@N` и `SRC`, а также при проведении методических исследований и при отладке электроники, выбранная архитектура блока оказалась весьма удачной и гибкой. Всего было изготовлено 8 модулей разных ревизий, отличающихся принципиальными косметическими изменениями. Перенастройка модуля под нужды эксперимента или проекта в основном сводилась к установке требуемых периферийных модулей на материнскую плату TOU и модификации «прошивки», которая благодаря наличию широкого набора модулей с фиксированным внутренним интерфейсом не требовала значительных усилий. Разработка программ верхнего уровня также не требовала очень больших трудозатрат, основные усилия тратились на графическое представление получаемой информации.

Финансирование. Данная работа финансировалась за счет средств бюджета Объединенного института ядерных исследований. Никаких дополнительных грантов на проведение или руководство данным конкретным исследованием получено не было.

Конфликт интересов. Авторы данной работы заявляют, что у них нет конфликта интересов.

СПИСОК ЛИТЕРАТУРЫ

1. *Afanasiev S. et al. (BM@N Collab.) // JHEP. 2023. V. 07. P. 174.*
2. *Patsyuk M. et al. // Nature Phys. 2021. V. 17. P. 693.*
3. Cyclone V Device Handbook. V. 1: Device Overview and Datasheet. Altera Corporation, 101 Innovation Drive San Jose, CA 95134.
4. <https://afi.jinr.ru/TDC72VHL>
5. <http://ceur-ws.org/Vol-2023/252-258-paper-40.pdf>
6. *Торко В. et al. // IEEE Trans. Nucl. Sci. 2022. V. 69. P. 634–638.*
7. <https://www.lazarus-ide.org>

Получено 22 июля 2024 г.